

Année 2003

MEMOIRE

présenté devant

L'UNIVERSITE D'AIX-MARSEILLE I

par

Pascal MASSON

Ingénieur-Docteur
Maître de Conférences

pour obtenir

L'HABILITATION A DIRIGER DES RECHERCHES

DE LA CARACTERISATION/SIMULATION DES DEFAUTS ELECTRIQUEMENT ACTIFS AUX DISPOSITIFS MEMOIRES

Soutenue le 24 octobre 2003 devant la commission d'examen :

Rapporteurs	Jean-Luc AUTRAN	L2MP, Univ. Aix-Marseille I & IUF
	Pierre GENTIL	IMEP, INP Grenoble
	André TOUBOUL	IXL, Univ. Bordeaux 1
Examineurs	Rachid BOUCHAKOUR	L2MP, Univ. Aix-Marseille I
	Jacques GAUTIER	CEA/LETI, Grenoble
	Gérard GHIBAUDO	IMEP, CNRS, INP Grenoble
	Michel LANNOO	L2MP, CNRS, Univ. Aix-Marseille III
	Thomas SKOTNICKI	ST Microelectronics, Crolles
Invitée	Pascale MAZOYER	ST Microelectronics, Crolles

A Katrin

A ma famille et mes amis

Remerciements

Je remercie Michel Lannoo d'avoir participé à mon jury de HDR et d'en avoir été le président. Je tiens aussi à lui exprimer toute ma gratitude pour la création du Laboratoire de Matériaux et de Micro-électronique de Provence dont je suis devenu l'un des membres.

J'exprime toute ma reconnaissance aux Professeurs André Touboul, Pierre Gentil et Jean-Luc Autran pour avoir accepté d'être les rapporteurs de mon mémoire de HDR et pour m'avoir fait l'honneur de juger mon travail. Le Professeur André Touboul a donc une vue globale de mes travaux de recherche puisqu'il a été rapporteur de ma thèse et de mon HDR et je lui suis tout particulièrement reconnaissant pour cela. Je remercie grandement le Professeur Pierre Gentil pour les discussions que nous avons eues (lorsque j'étais étudiant de l'ENSERG) au sujet du travail d'enseignant-chercheur qui m'ont incité à entreprendre une thèse. Bien que nos chemins se soient séparés, je conserve toujours une très grande estime pour le Professeur Jean-Luc Autran dont le dynamisme et la boulimie de travail ne s'est pas démentie au fil des années.

J'ai rencontré le Professeur Rachid Bouchakour lors de la conférence RADECS 1997 et nous avons discuté sur la possibilité d'obtenir l'expression de la pente sous le seuil de Van Overstraeten à partir du modèle en Feuillet et plus globalement sur la modélisation du transistor MOS. L'année d'après, lors du symposium Si-SiO₂, il m'a demandé si il m'était possible de soutenir ma thèse pour être recruté l'année suivante dans son équipe comme maître de conférences. J'ai donc soutenu ma thèse en janvier 1999, mais malheureusement le poste n'a pas été créé et j'ai été recruté au LPM en janvier 2000. J'ai finalement demandé ma mutation pour l'Université de Provence et j'ai rejoint l'équipe du Professeur Rachid Bouchakour en octobre 2001. Je lui suis donc très reconnaissant de m'avoir accordé une telle confiance et de m'avoir permis et donné les moyens de travailler sur les dispositifs mémoires innovants.

J'exprime toute ma gratitude à Gérard Ghibaudo qui tout au long de mes travaux fut la personne qui a su m'apporter des solutions ou m'indiquer la voie à suivre lorsque j'ai été confronté à des difficultés scientifiques. Il est l'exemple que je souhaite suivre en raison de mon admiration pour sa modestie, de sa facilité à transmettre les connaissances et de sa très grande compétence. Je lui dois beaucoup notamment dans ma connaissance de la technique de pompage de charge et dans ma compréhension du transistor MOS.

Ma respectueuse reconnaissance s'adresse également à Jacques Gautier. Je suis sensible à l'honneur qu'il m'a fait de participer à mon jury.

Je remercie également Thomas Skotnicki pour avoir accepté de participer à mon jury et Pascale Mazoyer d'avoir accepté d'y prendre place comme membre invitée. Je souhaite que les travaux que nous menons ensemble sur les dispositifs mémoires innovants soient très fructueux.

Je tiens, plus largement, à exprimer ma reconnaissance à toutes celles et à tous ceux qui ont contribué, directement ou indirectement, au bon déroulement de mes travaux. Je souhaite pour cela mettre en avant les étudiants en thèse que j'ai dirigés, co-dirigés et co-encadrés depuis ces deux dernières années : Sandrine Bernardini, Fabien Gilibert, Romain Laffont, Laurent Lopez, Rossella Ranica.

Je remercie chaleureusement tous les membres de l'équipe micro-électronique du L2MP pour la complicité tant d'un point scientifique qu'amical que nous avons. Je remercie aussi les enseignants de l'Ecole Polytechnique Universitaire de Marseille département Micro-

électronique et Télécommunications dont certains furent mes enseignants lorsque que ce département était encore une licence-maîtrise EEA.

Sur un plan plus personnel, je voudrais témoigner toute ma reconnaissance à Katrin pour son soutien et pour avoir résisté à toutes les privations qu'elle a dues subir durant ces sept dernières années. Elle seule sait combien il m'a parfois été difficile de tout concilier.

Table des matières

<i>Table des matières</i>	7
<i>Table des symboles</i>	11
<i>Introduction générale</i>	15
<i>Chapitre I : Défauts électriquement actifs, transistor MOS et pompage de charge</i>	19
I.1. Introduction	19
I.2. Modélisation de l'activité des défauts électriquement actifs	19
I.2.1. Bases de la statistique SRH	19
I.2.2. Charges piégées	21
I.2.3. Piégeage dans l'isolant	21
I.3. Modélisation du transistor MOS	24
I.3.1. Le modèle de Pao et Sah [Pao'66]	24
I.3.2. Le modèle en Feuillet [Brews'78]	25
I.3.3. Le modèle ohmique	25
I.4. La technique de pompage de charge	26
I.4.1. Présentation de la technique de pompage de charge	26
I.4.2. Pompage de charge à deux niveaux : la courbe en cloche	26
I.4.3. Pompage de charge à trois niveaux	27
I.5. Conclusion	28
<i>Chapitre II : Caractérisation des défauts électriquement actifs</i>	29
II.1 Introduction	29
II.2. Micro-irradiation de transistors MOS	29
II.2.1. Présentation de la ligne d'irradiation.....	29
II.2.2. Effet d'un spot d'irradiation.....	30
II.2.3. Effet de plusieurs spots d'irradiation	31
II.2.4. Quasi-claquage de l'isolant	32
II.3. Pompage de charge sur piège unique	33
II.3.1. Simulation du pompage de charge sur piège unique.....	34
II.3.2. Pompage de charge sur quelques pièges	34
II.3.3. Détermination de la relation énergie-section de capture	35
II.3.4. Pompage de charge à trois niveaux	37
II.4. Modélisation de la courbe C-V en fréquence	38
II.4.1. Modélisation de la courbe C-V	38
II.4.2. Comportement des pièges en fréquences	39

II.4.4. Caractérisation du système $\text{HfSi}_x\text{O}_y/\text{HfO}_2$	41
II.5. Résolution spatiale des charge fixes dans l'isolant après stress	42
II.5.1. Modélisation de la courbe I-V avec charges fixes	43
II.5.2. Effets de la charge fixe sur les courbes I-V	44
II.5.3. Résolution spatiale de la charge fixe après un stress électrique	45
II.6. Conclusion	47
Chapitre III : Modélisation du transistor MOS	49
III.1. Introduction.....	49
III.2. Le transistor MOS avec effets quantiques.....	49
III.2.1. Prise en compte des effets quantiques dans les structures MOS.....	49
III.2.2. Modification du courant du transistor	50
III.2.3. Modification des principales caractéristiques	51
III.3. Effet du remplissage dynamique des pièges	52
III.3.1. Présentation de la démarche de simulation	52
III.3.2. Chargement d'un plan de pièges	54
III.3.3. Chargement d'un continuum spatial de pièges	56
III.3.4. Prise en compte des effets quantiques	58
III.4. Discontinuité des paramètres le long du canal et fuite de grille	59
III.4.1. Découpage du transistor.....	59
III.4.2. Charges piégées non uniformes	61
III.4.3. Dépolarisation du canal.....	61
III.5. Conclusion.....	62
Chapitre IV : Modélisation des mémoires.....	63
IV.1. Introduction	63
IV.2. La mémoire Flash	63
IV.2.1. Fonctionnement de la mémoire Flash.....	63
IV.2.2. Modélisation de la mémoire Flash	64
IV.2.3. Validation de la modélisation	66
IV.3. La mémoire à nano-cristaux de silicium	66
IV.3.1. Présentation de la mémoire.....	67
IV.3.2. Pompage de charge sur les mémoires à nodules.....	67
IV.3.3. Détermination des caractéristiques des nodules	71
IV.3.4. Modélisation de la mémoire à nodules	72
IV.3.5. Variation de la tension de seuil en programmation	73
IV.4. Méthode de la grille flottante sur EEPROM.....	74
IV.4.1. Principe et mise en équation de la technique	74
IV.4.2. Evolution temporelle de la charge de grille	76
IV.4.3. Déduction du courant de la capacité tunnel	77
IV.5. Conclusion	78
Conclusion	79
Cl.1. Bilan des travaux	79

Cl.2. Quelques perspectives de travail	80
<i>Références</i>	85
<i>Curriculum vitae</i>.....	89
<i>Liste des travaux</i>	90
<i>Activités d'encadrement et responsabilités</i>	95
<i>Récapitulatif des activités d'enseignements</i>	97
<i>Sélection de publications</i>.....	99

Table des symboles

A_{eff}	m^2	Surface effective du canal
BI	—	Bande Interdite
C	$F m^{-2}$	Capacité
C_{it}	$F m^{-2}$	Capacité associée aux états d'interface
C_{ox}	$F m^{-2}$	Capacité d'oxyde
CP	—	Pompage de Charge (Charge Pumping)
c_n	$m^{-3} s^{-1}$	Coefficient de capture des électrons
c_p	$m^{-3} s^{-1}$	Coefficient de capture des trous
DRAM	—	Dynamic Random Acces Memory
D_{it}	$J^{-1} m^{-2}$	Densité d'états d'interface
$D_{it,a}$	$J^{-1} m^{-2}$	Densité d'états d'interface de type accepteur
$D_{it,d}$	$J^{-1} m^{-2}$	Densité d'états d'interface de type donneur
E	J	Energie
EEPROM	—	Electrically Eraseable and Programmable Read Only Memory
E_C	J	Energie du niveau le plus bas de la bande de conduction
E_{CS}	J	Energie du niveau le plus bas de la bande de conduction à l'interface
E_F	J	Energie du niveau de Fermi dans le semi-conducteur loin de l'interface
E_{Fn}	J	Energie du quasi niveau de Fermi pour les électrons
E_{Fp}	J	Energie du quasi niveau de Fermi pour les trous
E_{FM}	J	Energie du niveau de Fermi dans le semi-conducteur
E_g	J	Largeur de la bande interdite du semi-conducteur
E_i	J	Niveau d'énergie intrinsèque loin de l'interface
E_{iS}	J	Niveau d'énergie intrinsèque à l'interface
E_t	J	Energie d'un niveau piège dans la bande interdite du semi-conducteur
E_V	J	Energie du niveau le plus haut de la bande de valence loin de l'interface
E_{VS}	J	Energie du niveau le plus haut de la bande de valence à l'interface
FeRAM	—	Ferroelectric Random Acces Memory
f_t	—	Probabilité de remplissage d'un piège
g_m	$A V^{-1}$	Transconductance
I_{cond}	A	Courant de conduction
I_{CHE}	A	Courant de porteurs chauds
I_{CP}	A	Courant pompé
I_{diff}	A	Courant de diffusion
I_{DS}	A	Courant Drain - Source

I_D	A	Courant de drain du transistor
I_{FN}	A	Courant de type Fowler-Nordheim
I_G	A	Courant de grille du transistor
I_S	A	Courant de source du transistor
I_W	A	Courant d'écriture de la mémoire Flash
k	$J K^{-1}$	Constante de Boltzmann ($= 1.38 \times 10^{23} J K^{-1}$)
L	m	Longueur de canal dessinée
MOS	—	Métal – Oxyde – Semi-conducteur
N_A	m^{-3}	Concentration en atomes accepteurs
N_{dot}	m^{-3}	Densité volumique des nano-cristaux de silicium
n	m^{-3}	Concentration d'électrons libres dans le semi-conducteur
n_i	m^{-3}	Concentration intrinsèque d'électrons dans le semi-conducteur
n_S	m^{-3}	Concentration d'électrons à l'interface
n_0	m^{-3}	Concentration d'électrons libres dans le substrat loin de l'interface
n_1	m^{-3}	Concentration d'électrons dans le cas où $E_F = E_T$
p	m^{-3}	Concentration des trous libres dans le semi-conducteur
p_S	m^{-3}	Concentration des trous à l'interface
p_0	m^{-3}	Concentration d'électrons libres dans le substrat loin de l'interface
p_1	m^{-3}	Concentration de trous dans le cas où $E_F = E_T$
Q_{CP}	$C m^{-2}$	Charge pompée
Q_D	$C m^{-2}$	Charge dans la zone désertée du semi-conducteur
Q_{FG}	$C m^{-2}$	Charge de la grille flottante
Q_{it}	$C m^{-2}$	Charge due aux états d'interface
Q_{ot}	$C m^{-2}$	Charge des nano-cristaux de silicium
Q_{ox}	$C m^{-3}$	Charge volumique dans l'oxyde
Q_{SC}	$C m^{-2}$	Charge dans le semi-conducteur
Q_n	$C m^{-2}$	Charge de la couche d'inversion
q	C	Valeur absolue de la charge de l'électron ($1.602 \times 10^{-19} C$)
RTS	—	Random Telegraphique Noise
R_{eff}	m	Rayon effective des dots
S_{eff}	m^{-2}	Surface effective des dots
t_{ox}	m	Epaisseur d'oxyde
T	K	Température absolue
T_P	s	Période du signal
Φ_{bn}	eV	Différence d'énergie entre la bande conduction du silicium et celle de l'oxyde de silicium
$\Phi_C(x)$	V	Potentiel le long du canal du à la polarisation Drain – Source : écart entre les quasi-niveaux de Fermi
$\Phi_{MS}(x)$	V	Travail de sortie entre métal et semi-conducteur

V_{BS}	V	Tension Substrat - Source
V_{DS}	V	Tension Drain - Source
V_{FB}	V	Tension V_{GS} pour laquelle $\Psi_S = 0$ à la source
V_{FG}	V	Potentiel de grille flottante
V_{GS}	V	Tension Grille – Source
V_{ox}	V	Tension aux bornes de l'oxyde
V_{oxt}	V	Tension entre un piège (dans l'isolant) et l'interface
V_{mg}	V	Tension V_{GS} pour laquelle $\Psi_S = \Phi_F$ à la source
V_T	V	Tension de seuil du transistor
V_{th}	V	Tension de seuil de la capacité MOS
W	m	Largeur de canal dessinée
y_t	m	Distance entre l'interface et un piège de l'isolant
β	V	Potentiel thermique (q/kT)
ϵ_0	$F m^{-1}$	Permittivité du vide ($8.85 \times 10^{-12} F.m^{-1}$)
ϵ_{ox}	—	Constante diélectrique de l'oxyde (3.82)
ϵ_{SC}	—	Constante diélectrique du semi-conducteur (11.9)
ϵ_{Si}	$F m^{-1}$	Permittivité du semi-conducteur ($\epsilon_0 \times \epsilon_{SC}$)
μ_0	$m^2 V^{-1} s^{-1}$	Mobilité des électrons dans le canal à faible champ électrique
Φ_F	V	Potentiel de volume du semi-conducteur
τ	s	Constant de temps associée à un piège
ξ	$V m^{-1}$	Champ électrique
Ψ	V	Potentiel dans le semi-conducteur
ψ	V	Fonction d'onde
Ψ_S	V	Potentiel de surface du semi-conducteur

Introduction générale

Les travaux de recherche présentés dans ce mémoire ont été menés entre début 1999 et milieu 2003 au Laboratoire de Physique de la Matière de l'INSA de Lyon (LPM, UMR CNRS 5511), au Laboratoire de Physique des composants à semi-conducteurs (LPCS, UMR CNRS 5531 à présent IMEP) et au Laboratoire de Matériaux et Micro-électronique de Provence (L2MP, UMR-CNRS 6137).

Bien qu'il existe un nombre très important de travaux portant sur l'étude des pièges électriquement actifs et des charges de l'isolant de grille du transistor (ou de la capacité) MOS, ce thème reste toujours d'actualité. En effet, la qualité de l'isolant est un des paramètres clefs qui assure un bon fonctionnement et une bonne fiabilité des circuits intégrés. Cette qualité est d'ailleurs très dépendante des recettes technologiques ou plus généralement des étapes de fabrication du transistor MOS. Cela explique et justifie l'intérêt des industriels pour quantifier et améliorer ce paramètre. Dans la lignée des travaux initiés dans les années 80 et portant sur les oxydes nitrurés, la recherche, tant universitaire qu'industrielle, s'est orientée depuis quelques années vers les matériaux dit "high- κ " c'est-à-dire à hautes permittivités. Ces nouveaux isolants comme le ZrO_2 , HfO_2 , Al_2O_3 , Ta_2O_5 [Chanelier'99, Gusev'01]¹, sont destinés au remplacement du traditionnel SiO_2 pour les structures MOS très avancées (i.e. à isolants ultra-minces) afin de réduire les courants de fuite vers la grille. La qualité médiocre de ces matériaux a encore élargi le spectre d'études portant sur la détermination de la densité de défauts et de charges. Dans ce contexte, la thématique "matériaux" a été conservée après notre thèse [D3](en y intégrant les matériaux "high- κ "). L'obtention d'une très bonne qualité d'isolant ne suffit pas à rendre un dispositif fiable, il faut aussi prendre en compte la dégradation de ses performances en fonctionnement. En effet, les différents potentiels appliqués à la structure augmentent les densités de défauts (ou de pièges) et les densités de charges dans l'isolant. L'environnement du dispositif a aussi une très grande importance sur son vieillissement, notamment lorsqu'il se trouve dans un milieu hostile ou plus généralement dans un milieu radiatif. La recherche de l'évolution des densités de pièges et de charges au cours d'une contrainte est donc indispensable à l'étude des matériaux isolants. Ainsi, la thématique "dégradation" a été introduite dans nos activités de recherche.

Afin de caractériser ces matériaux ou les structures MOS en général (mobilité des porteurs, tension de seuil, densités de charges...), il faut mettre en oeuvre des techniques comme les mesures : I-V, C-V, $I_{DS}(V_{GS})$, pompage de charge, bruit basse fréquence. Dès le début de nos travaux de recherche, il a semblé indispensable d'avoir la plus large connaissance possible de ces techniques de caractérisation. C'est pourquoi une grande partie de notre travail a été consacrée à la re-démonstration des modèles associés à ces techniques. Cette approche, considérée comme un point fort et original de notre travail de recherche, a trois conséquences majeures : donner une connaissance fine de ces techniques, permettre une uniformisation des notations et des approches de ces modèles, simplifier l'adaptation des techniques pour les structures particulières. L'exploitation des mesures $I_{DS}(V_{GS})$ implique un travail important sur la modélisation du transistor MOS. Initialement axés sur

¹ Les appels de type [Nom'année] correspondent à des références bibliographiques de la littérature (nom du premier auteur suivi de l'année de publication) et sont regroupés après la conclusion générale. Les appels de type [lettre'numéro] correspondent à nos propres publications (type de publication suivi de l'ordre chronologique) que vous trouverez dans notre curriculum vitae en fin de document.

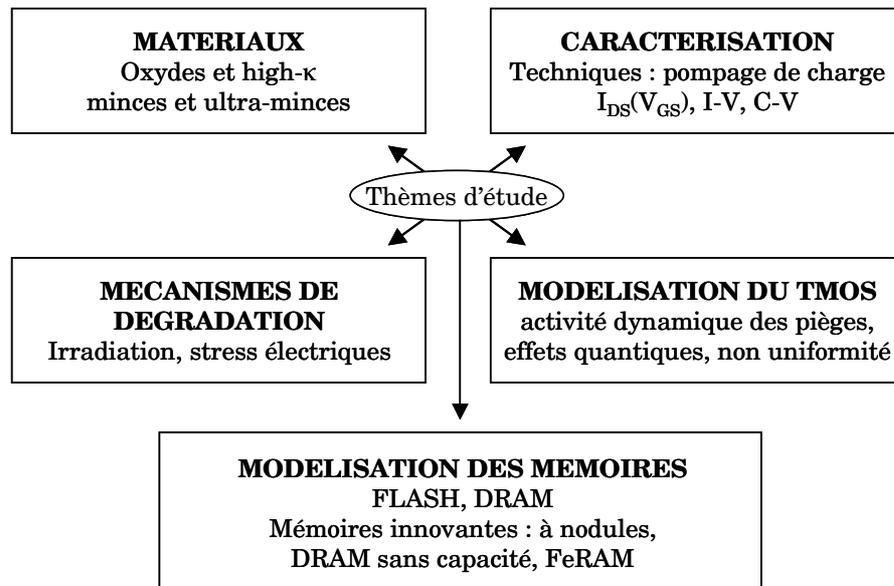


Figure In.1. *Résumé synthétique des thèmes d'étude abordés.*

les modèles simplifiés, nos travaux ont peu à peu dérivé vers les modèles plus précis comme les approches de type Pao et Sah [Pao'65] et en Feuillet [Brews'78] basées sur le calcul du potentiel de surface. Ces modèles présentent l'avantage d'être continus dans tous les régimes de fonctionnement et pour l'approche de Pao et Sah de prendre en compte des effets parasites comme la présence de pièges électriquement actifs dans l'isolant de grille, la poly-déplétion de grille, la quantification des niveaux d'énergie dans le substrat. Il faut noter que ces deux thèmes, "caractérisation" et "modélisation du transistor MOS", sont aussi dans la continuité de notre thèse [D3].

Les dispositifs mémoires sont présents dans tous les systèmes électroniques pour le stockage des données (i.e. de l'information) et les éléments de base qui les constituent (cellules mémoires) font toujours l'objet d'intenses recherches pour améliorer leurs performances (rétention, fiabilité, vitesse de programmation). En prenant l'exemple de l'EEPROM, il est possible d'augmenter à la fois la durée de vie de la cellule et de diminuer les temps de programmation en optimisant la forme des signaux appliqués [Canet'01]. Parallèlement à ce travail sur les mémoires classiques, la recherche s'oriente aussi vers des mémoires que nous qualifierons d'innovantes. Innovantes dans le sens où elles mettent en œuvre des mécanismes de conduction jusqu'alors inexploités dans ce domaine de la micro-électronique. On peut, à titre d'exemple, faire allusion à l'intégration du courant de porteurs chauds qui a permis de passer de l'EEPROM à la Flash avec, comme avantage majeur, une réduction considérable de la vitesse de chargement de la grille flottante. Innovantes aussi dans leurs architectures ou par les matériaux employés. On peut citer les mémoires FeRAM [Moazzami'90] ou MRAM [Wang'96] qui utilisent les propriétés physiques de certains matériaux ferroélectriques ou magnétiques. Il devient alors possible de réaliser des mémoires qui s'effacent et s'écrivent en quelques nano-secondes rendant, par exemple, quasi-instantané la mise en route d'un ordinateur. Il existe aussi une niche sur la recherche de mémoires bas coût et basse tension. La technologie double grille (i.e. grille flottante plus grille de contrôle) est très coûteuse en étapes technologiques ce qui augmente d'autant le coût de fabrication. On peut imaginer des mémoires complètement intégrées dans un procédé technologique standard sans nécessiter d'étape de process supplémentaire. Il devient alors possible d'intégrer des blocs mémoires dans des circuits intégrés bas coût. C'est le cas de la mémoire SIPPOS [Ohsaki'94] et de la mémoire EPROM simple poly [Dray'02]. Notre arrivée au L2MP en octobre 2001 nous a offert la possibilité d'intégrer la

thématique "modélisation des mémoires" à nos activités de recherche. Tout d'abord focalisés sur la modélisation des mémoires Flash et DRAM, ces travaux incluent à présent : les mémoires à nano-cristaux de silicium, les DRAM sans capacité puis plus récemment les FeRAM, les NVM (piégeage dans une couche de Si_3N_4 ou de Al_2O_3) ainsi que trois autres mémoires classées confidentielles au moment de l'écriture de ce mémoire. Il faut aussi noter que l'intégration de cette thématique ne constitue pas en soit une reconversion mais doit plutôt être vue comme une suite logique de nos travaux portant sur le chargement des oxydes (en dynamique) qui fût l'élément physique de base des premiers dispositifs mémoires.

En résumé et comme l'indique le synoptique de la figure (In.1), nos activités de recherche couvrent cinq thèmes principaux. Les faits saillants de nos travaux de recherche sont développés aux chapitres II, III et IV de ce mémoire.

Le premier chapitre est consacré au rappel des principaux modèles qui nous serviront de base dans les chapitres suivants. Nous décrivons brièvement la modélisation de l'activité des défauts électriquement actifs, la modélisation du transistor MOS et la technique de pompage de charge.

Dans le deuxième chapitre, la caractérisation (par pompage de charge) des pièges d'interface de transistors MOS soumis à des micro-irradiations (irradiations localisées sur la surface de l'isolant) sera développée. Dans un deuxième temps, la modélisation de la technique C-V en fréquence incluant la réponse des pièges d'interface sera détaillée. Cette modélisation sera alors appliquée sur une capacité MOS à isolant de type $\text{SiO}_2/\text{HfO}_2$ pour déterminer la densité des pièges résolue en énergie et la section de capture des électrons. Nous modélisons aussi l'impact de la présence d'une densité de charges fixes répartie non uniformément entre le substrat et la grille sur le courant tunnel d'une capacité MOS à électrodes fortement dopées. L'obtention de transistors de très faible géométrie a notamment permis la caractérisation de l'activité d'un piège unique par pompage de charge à deux et à trois niveaux. Nous présentons, dans ce chapitre, la détermination de la section de capture d'un seul piège ainsi que sa position énergétique dans la bande interdite du semi-conducteur. Cette dernière partie peut être considérée comme l'aboutissement de nos travaux de recherche sur la technique de pompage de charge.

Notre contribution à la modélisation du transistor MOS, incluant les effets quantiques, est présentée au troisième chapitre. Ce chapitre intègre aussi notre travail sur l'impact de la présence de pièges électriquement actifs à l'interface ou dans le volume de l'isolant de grille sur la courbe $I_{DS}(V_{GS})$ du transistor MOS. A la fin de ce chapitre est présentée notre modélisation de l'impact d'une non uniformité de la tension de bandes plates (due à la présence de charges localisées près du drain) et d'un courant de grille important (isolant de grille ultra-mince) sur les caractéristiques du transistor MOS.

Le quatrième et dernier chapitre est entièrement consacré à la caractérisation / modélisation des dispositifs mémoires. Nos travaux de recherche sur la mémoire Flash, sur la mémoire à nano-cristaux de silicium ainsi que sur la détermination de la courbe I-V de la zone tunnel de la mémoire EEPROM sont présentés.

L'ensemble de ce travail inclut les contributions de plusieurs thèses et stages de DEA encadrés ou co-encadrés au cours de ces dernières années. De plus, tous ces travaux ont fait l'objet de nombreuses collaborations industrielles (ST Microelectronics sites de Rousset et de Crolles, CEA/LETI, CEA/DAM, ESRF) et universitaires (INSA de Lyon-CNDRI, North Carolina State University, CNR-IMM).

Chapitre I : Défauts électriquement actifs, transistor MOS et pompage de charge

I.1. Introduction

Ce chapitre a pour objectif de poser certaines notions relatives à la modélisation de l'activité électrique des pièges d'interface et de volume de l'isolant, à la modélisation du transistor MOS et à la description de la technique de pompage de charge. Ces notions serviront de base à la description de nos travaux de recherche.

I.2. Modélisation de l'activité des défauts électriquement actifs

A l'origine, la statistique SRH [Shockley'52] fut élaborée pour rendre compte de la génération-recombinaison électrons-trous dans le volume du semi-conducteur. Nous décrirons dans un premier temps la statistique SRH d'un point de vue volumique (c'est-à-dire dans le volume du semi-conducteur). Puis, cette statistique sera étendue au cas de la structure MOS en considérant les pièges à l'interface avec le substrat et dans le volume de l'isolant de grille. La nature même des pièges électriquement actifs ne sera pas développée dans ce paragraphe. Pour cela, on pourra se référer au premier chapitre du mémoire de HDR de Jean-Luc AUTRAN [Autran'99a] et consulter les références suivantes : [Caplan'79 – Poindexter'81 – Poindexter'88 – Do Thanh'88 – Sakurai'81].

I.2.1. Bases de la statistique SRH

La figure (I.1) représente le diagramme de bandes du volume d'un semi-conducteur où l'on reconnaît le bas de la bande de conduction, noté E_c , et le haut de la bande de valence, noté E_v . Soit une densité volumique N_{ss} de pièges situés au niveau d'énergie E_t (dans la bande interdite du semi-conducteur). Ces pièges capturent et émettent des porteurs libres et peuvent être soit occupés par des électrons (carrés noirs) soit occupés par des trous (carrés blancs). Les mécanismes de remplissage des pièges font intervenir la probabilité d'occupation (par un électron), f_t , et sont définis par les taux de capture et d'émission suivants :

- Taux de capture des électrons de la bande de conduction :

$$U_{cn} = c_n n N_{SS} (1 - f_t) \tag{I.1}$$

où n correspond à la densité d'électrons libres et c_n (m^3s^{-1}) au coefficient de capture d'un électron. Ce coefficient dépend de la section de capture des électrons, σ_n , et de la vitesse thermique des porteurs, v_{th} ($c_n = \sigma_n v_{th}$).

- Taux d'émission des électrons des pièges vers la bande de conduction :

$$U_{en} = e_n N_{SS} f_t \tag{I.2}$$

où e_n (s^{-1}) représente le coefficient d'émission d'un électron piégé vers la bande de conduction. Ce coefficient dépend de la section de capture des électrons et de la densité n_1 qui correspond à la densité d'électrons dans le cas où le niveau de Fermi, E_F , est égal au niveau énergétique des pièges considérés.

- Taux de capture des trous de la bande de valence vers les pièges (ou émission d'électrons vers la bande de valence) :

$$U_{cp} = c_p p N_{SS} f_t \tag{I.3}$$

où p correspond à la densité de trous libres et c_p (m^3s^{-1}) au coefficient de capture d'un trou. Ce coefficient dépend de la section de capture des trous, σ_p , et de la vitesse thermique des porteurs, v_{th} ($c_p = \sigma_p v_{th}$).

- U_{ep} : taux d'émission des trous vers la bande de valence (ou capture d'électrons de la bande de valence).

$$U_{ep} = e_p N_{SS} (1 - f_t) \tag{I.4}$$

où e_p (s^{-1}) représente le coefficient d'émission d'un trou piégé vers la bande de conduction. Ce coefficient dépend de la section de capture des trous et de la densité p_1 qui correspond à la densité de trous dans le cas où le niveau de Fermi est égal au niveau énergétique des pièges considérés.

Il est très important de noter que les coefficients d'émission des électrons et des trous e_n et e_p (via respectivement les quantités n_1 et p_1) dépendent de la position énergétique des pièges. Au contraire, les coefficients de capture des électrons et des trous multipliés respectivement par la densité en électrons et en trous libres ($c_n n$ et $c_p p$) sont indépendants de la position énergétique du piège mais dépendent, évidemment, de la quantité de porteurs libres dans les bandes de conduction et de valence.

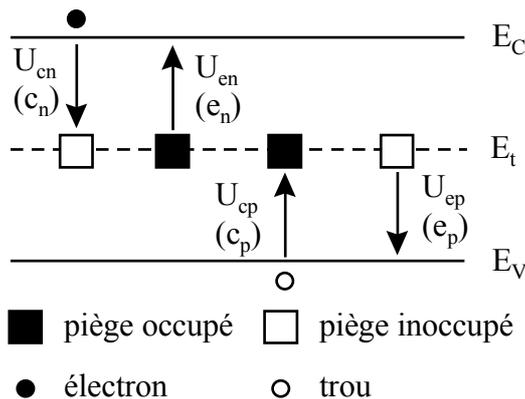


Figure I.1. Diagramme de bandes du semi-conducteur faisant apparaître des pièges au niveau d'énergie E_t ainsi que les taux de capture et d'émission des porteurs libres.

A l'équilibre thermodynamique, la probabilité f_t est donnée par la fonction de distribution de Fermi-Dirac :

$$f_t = \frac{1}{1 + \exp\left(\frac{E_t - E_F}{kT}\right)} \tag{I.5}$$

En situation hors équilibre thermodynamique, f_t ne s'exprime plus avec le niveau de Fermi mais avec les quasi-niveaux de Fermi E_{Fn} et E_{Fp} des électrons et des trous pour les pièges situés dans la moitié supérieure et la moitié inférieure de la bande interdite (BI) respectivement.

Dans le cas des composants MOS, les pièges électriquement actifs à prendre en compte sont localisés à l'interface et à l'intérieur de l'isolant de grille. Les porteurs pouvant être capturés sont donc ceux de l'interface et nous devons faire intervenir les quantités n_s et p_s dans les équations (I.1) à (I.4). Ces quantités dépendent de la polarisation de grille, via le potentiel de surface, et donc du temps lorsque ce potentiel de grille varie. Notons qu'une capture de trou ou une émission d'électron fait chuter f_t alors qu'une émission de trou ou une capture d'électron augmente f_t . Ainsi, sans faire intervenir la densité d'état à l'interface, les équations (I.1), (I.2), (I.3) et (I.4) permettent d'écrire l'équation différentielle, d'ordre un, décrivant l'évolution de f_t au cours du temps :

$$\frac{df_t(t, E_t)}{dt} = c_n n_s (1 - f_t) - e_n f_t - c_p p_s f_t + e_p (1 - f_t) \quad (I.6)$$

Usuellement, chaque membre de l'équation (I.6) est multiplié par la densité énergétique des pièges, $D_{it}(E_t)$, afin de déterminer le nombre d'électrons capturés ou émis. Notre approche ne faisant pas intervenir le nombre de pièges présents sur chaque niveau d'énergie, ce facteur est supprimé.

I.2.2. Charges piégées

Nous supposons dans ce document une distribution des pièges d'interface de type amphotère. Les pièges d'interface seront donc considérés de type donneur (chargé positivement si inoccupé, neutre si occupé) dans la moitié inférieure de la bande interdite (BI) et de type accepteur (chargé négativement si occupé, neutre si inoccupé) dans la moitié supérieure de la BI.

Soit $D_{it}(E)$ la densité de pièges d'interface (donnée en $eV^{-1}m^{-2}$) dans la BI du semi-conducteur, la charge piégée à l'équilibre thermodynamique s'exprime en fonction de la position du niveau de Fermi via la probabilité de remplissage :

$$Q_{it} = q \int_{E_{VS}}^{E_{iS}} D_{it}(E_t) (1 - f_t(t, E_t)) dE_t - q \int_{E_{iS}}^{E_{VC}} D_{it}(E_t) f_t(t, E_t) dE_t \quad (I.7)$$

Les énergies de l'équation (I.7) sont données en eV. En supposant une densité uniforme des pièges d'interface, l'équation (I.7) se simplifie pour devenir :

$$Q_{it} = Q_{it0} - q D_{it} \Psi_S \quad (I.8)$$

où Ψ_S représente le potentiel de surface (courbure de bandes du semi-conducteur) et Q_{it0} une constante ($= q D_{it} \Phi_F$) qui dépend du potentiel de volume du substrat, Φ_F .

I.2.3. Piégeage dans l'isolant

Nous considérons à présent la modification de la position énergétique d'un piège situé à la profondeur y_t dans l'isolant de grille vue de l'interface en fonction du potentiel de grille. Le piège est situé au niveau énergétique E_{t0} lorsque la structure est en régime de bandes plates. Dans ce cas, la différence entre le niveau de Fermi et le piège est égale à $E_F - E_{t0}$.

Si une tension est appliquée aux bornes de la structure, la barrière de potentiel correspondant à l'isolant se déforme comme l'illustre la figure (I.2). Il existe alors une tension aux bornes de l'isolant, V_{ox} , et le niveau d'énergie apparent du piège suit la relation suivante :

$$E_t = E_{t0} - q \frac{y_t}{t_{ox}} V_{ox} \tag{I.9}$$

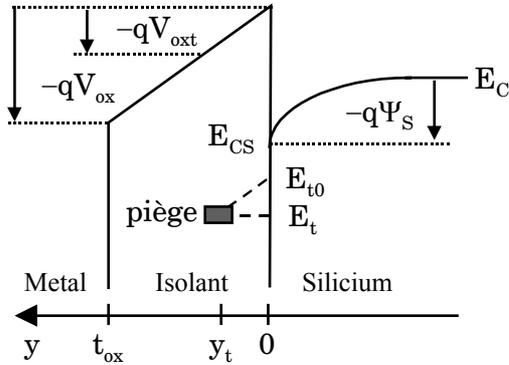


Figure I.2. Diagramme de bandes de la structure MOS mettant en évidence la modification de la position énergétique d'un piège vue de l'interface.

Cette variation de l'énergie apparente du piège influence le temps d'émission des électrons via le terme n_1 , ce temps devenant une fonction du potentiel de grille. V_{ox} s'exprime à partir de l'équation aux potentiels qui lie le potentiel de grille au potentiel de surface. Si le niveau d'énergie de la bande de conduction de l'isolant présente une discontinuité au niveau du piège (discontinuité du champ électrique au passage d'un plan de charges), il faut considérer la tension entre le piège et l'interface ce qui implique une modification de l'équation (I.9) comme suit :

$$E_t = E_{t0} - qV_{ox,t} \tag{I.10}$$

La pénétration d'un porteur dans l'isolant de grille est régie par la mécanique quantique. On doit donc résoudre l'équation de Schrödinger :

$$\frac{\partial^2 \psi}{\partial y^2} - \frac{2m_{nox}\Phi}{\hbar^2} \psi = 0 \tag{I.11}$$

où m_{nox} est la masse des électrons dans l'isolant, Φ est la hauteur de la barrière et ψ la fonction d'onde.

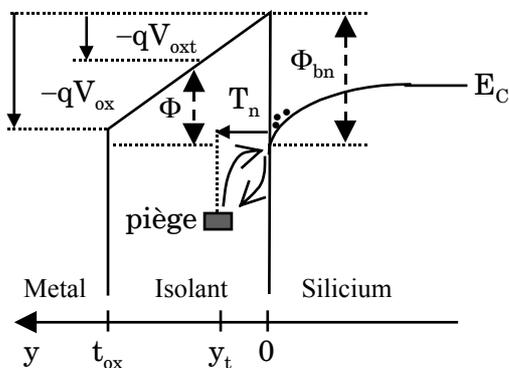


Figure I.3. Diagramme de bande de la structure MOS mettant en évidence le passage par effet tunnel des électrons entre le piège et l'interface.

Comme illustré par la figure (I.3), nous considérons ici que seules interviennent des transitions de type tunnel direct et non les transitions de type Fowler Nordheim ce qui

revient à supposer que les électrons restent dans la bande interdite de l'isolant. En partant de l'approximation WBK [Fromhold'81], c'est-à-dire en supposant aucune réflexion des porteurs sur les frontières de l'isolant, on trouve que la probabilité de trouver un porteur à la distance y_t de l'interface est donnée par :

$$T_n(y_t) = \exp \left[-2 \int_0^{y_t} \sqrt{\frac{2m_{\text{nox}}}{\hbar^2} \Phi(y)} dy \right] \quad (\text{I.12})$$

En exprimant la hauteur de barrière en eV (et non en joule) et son évolution suivant l'axe y avec le champ électrique dans l'isolant, l'équation (I.12) devient :

$$T_n(y_t) = \exp \left[\frac{4}{3} \sqrt{\frac{2qm_{\text{nox}}}{\hbar^2}} \frac{1}{\xi_{\text{ox}}} \left[\Phi_{\text{bn}}^{3/2} - \left(\Phi_{\text{bn}} - V_{\text{ox}} \frac{y_t}{t_{\text{ox}}} \right)^{3/2} \right] \right] \quad (\text{I.13})$$

Un résultat très important de cette transparence tunnel est la modification apparente de la section de capture (des électrons par exemple) d'un piège à la distance y de l'interface vue par cette interface :

$$\sigma_n(y) = \sigma_n T_n(y) = \sigma_n \exp \left[\frac{4}{3} \sqrt{\frac{2qm_{\text{nox}}}{\hbar^2}} \frac{1}{\xi_{\text{ox}}} \left[\Phi_{\text{bn}}^{3/2} - \left(\Phi_{\text{bn}} - V_{\text{ox}} \frac{y_t}{t_{\text{ox}}} \right)^{3/2} \right] \right] \quad (\text{I.14})$$

$T_n(y)$ étant inférieur à 1, plus un piège est loin de l'interface plus sa section de capture apparente est petite. Si le piège est proche de l'interface par rapport à l'épaisseur d'isolant, on peut faire l'approximation que la barrière de potentiel se déforme très peu entre le piège et l'interface. L'équation (I.14) devient alors [Heiman'65] :

$$\sigma_n(y) = \sigma_n T_n(y) = \sigma_n \exp \left(-\frac{y}{\lambda_n} \right) \quad (\text{I.15})$$

où λ_n est défini comme la distance de pénétration des électrons dans l'isolant :

$$\lambda_n = \frac{\hbar}{\sqrt{16m_{\text{nox}} \Phi_{\text{bn}}}} \quad (\text{I.16})$$

Pour une hauteur de barrière de 1 eV, λ_n est de l'ordre de 0.1 nm et pour une barrière de 3 eV, λ_n est de l'ordre de 0.06 nm.

Finalement si on considère une charge Q_{it} située à la distance y de l'interface, la variation de la tension de bandes plates est donnée par :

$$\Delta V_{\text{FB}} = (t_{\text{ox}} - y) \xi_{\text{ox}} = -(t_{\text{ox}} - y) \frac{Q_{\text{it}}}{\epsilon_{\text{ox}}} = - \left(\frac{t_{\text{ox}} - y}{t_{\text{ox}}} \right) \frac{Q_{\text{it}}}{C_{\text{ox}}} \quad (\text{I.17})$$

Cette équation signifie que l'influence des charges présentes dans l'isolant près de l'interface métal – isolant est pratiquement nulle. En revanche, l'influence des charges présentes à l'interface isolant – semi-conducteur est maximale.

I.3. Modélisation du transistor MOS

L'étude des pièges électriquement actifs et des mémoires nécessite la connaissance de la modélisation du transistor MOS. Ce paragraphe, fait le point sur les principaux modèles que nous utilisons actuellement en mettant l'accent sur leurs avantages et leurs inconvénients.

I.3.1. Le modèle de Pao et Sah [Pao'66]

Dans un premier temps, il est préférable de rappeler les équations utilisées pour le calcul du courant de drain d'un transistor MOS par une approche de type Pao et Sah [Pao'66]. Pour cette approche, le courant de drain s'exprime en distinguant ou non les termes de conduction et de diffusion :

$$I_{DS} = -\frac{W}{L}\mu_0 \int_{\Psi_S(0)}^{\Psi_S(L)} Q_n d\Psi + \frac{W}{L}\mu_0 \frac{kT}{q} [Q_n(L) - Q_n(0)] = -\frac{W}{L}\mu_0 \int_{\Phi_C(0)}^{\Phi_C(L)} Q_n d\Phi_C \quad (I.18)$$

Rappelons aussi la relation liant le potentiel de grille, V_{GB} , au potentiel de surface, Ψ_S , à l'écart entre les quasi-niveaux de Fermi, Φ_C , et à la charge du semi-conducteur, Q_{SC} :

$$V_{GB} = V_{FB} + \Psi_S - \frac{Q_{SC}(\Psi_S, \Phi_C)}{C_{ox}} - \frac{Q_{it}}{C_{ox}} \quad (I.19)$$

D'un point de vue pratique, le calcul du courant de drain nécessite la connaissance, à V_{GS} donné, de la variation de la charge d'inversion et du potentiel de surface le long du canal. Pour cela, on considère un certain nombre de valeurs (20 par exemple) du quasi-niveau de Fermi dans la gamme $[-V_{BS}, V_{DS} - V_{BS}]$ (i.e. entre la source et le drain) et on détermine les Ψ_S correspondants avec l'équation (I.19). La charge Q_n est alors calculée pour chaque Ψ_S et finalement on évalue l'intégrale de l'équation (I.18) par la méthode des rectangles ou des trapèzes.

Les figures (I.4.a) et (I.4.b) présentent une simulation du courant I_{DS} en inversion faible et forte en séparant les contributions des courants de diffusion et de conduction dans le cas d'un TMOS à canal N sans état d'interface. On constate que dans ces deux régimes un courant prédomine toujours sur l'autre. Ainsi, en inversion faible, le courant I_{DS} est entièrement attribuable au courant de diffusion ce qui signifie que le courant I_{DS} est dû à un phénomène de diffusion de porteurs dans le canal. Au contraire, en régime d'inversion forte, le courant de drain est presque égal au courant de conduction. A noter que cette constatation est valable quel que soit la tension de drain. Il est aussi très important de mettre en avant l'allure linéaire du courant de drain en régime d'inversion faible lorsque celui-ci est représenté en échelle semi-logarithmique. Cette partie de la courbe est traditionnellement appelée pente sous le seuil.

Cette approche de type Pao et Sah est très intéressante puisqu'elle permet d'obtenir une localisation des différentes grandeurs physiques le long du canal (Q_n , Φ_C , Ψ_S). Elle autorise aussi la prise en compte d'un grand nombre d'effets parasites tels que : la présence de pièges dans l'isolant ou à son interface, de la poly-déplétion de la grille... La charge Q_n peut aussi être obtenue pour des cas particuliers : dopage (vertical) non uniforme du substrat, prise en compte des effets quantiques... Il faut cependant souligner qu'en raison du découpage en quasi-niveaux de Fermi, le calcul du courant est relativement long et qu'il ne prend pas en compte les effets 2D le long du canal. De plus, la précision du calcul dépend du découpage de la variation de l'écart entre les quasi-niveaux de Fermi notamment en régime de saturation.

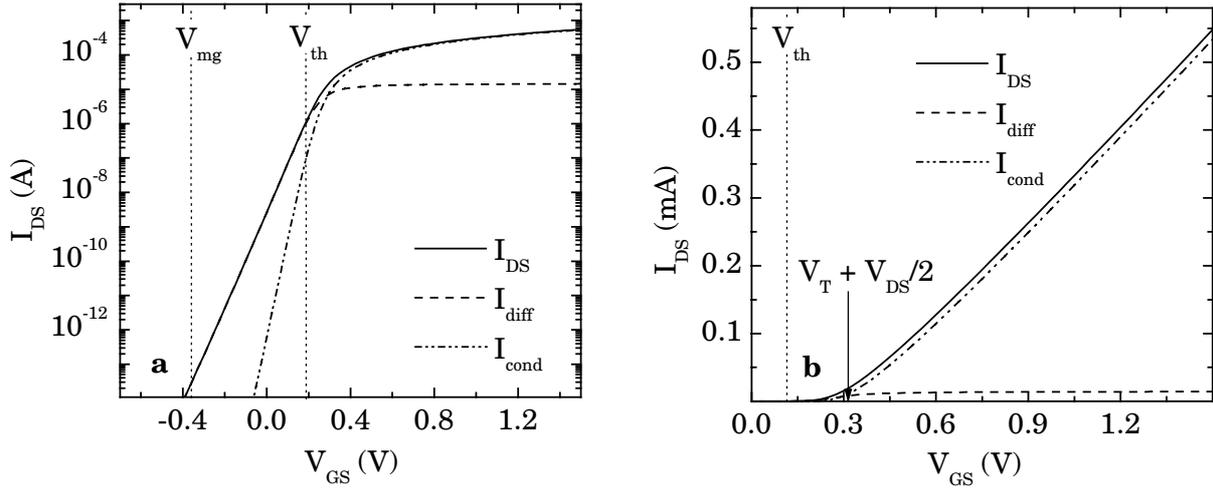


Figure I.4. Evolution des courants de conduction et de diffusion ainsi que du courant total en fonction du potentiel de grille en échelle semi-logarithmique (a) ou linéaire (b). Les paramètres de la simulation sont : $V_{DS} = 0.05$ V, $V_{BS} = 0$, $N_A = 7 \times 10^{23} \text{ m}^{-3}$, $\mu_0 = 300 \text{ Vs}^{-1}\text{cm}^{-2}$, $L = 0.5 \mu\text{m}$, $W = 1 \mu\text{m}$, $V_{FB} = -1$ V, $V_{mg} = -0.36$ V, $V_{th} = 0.18$ V, $D_{it} = 0$.

I.3.2. Le modèle en Feuillet [Brews'78]

L'approche abordée dans cette partie a été développée par Brews en 1978 [Brews'78]. A partir des équations (I.18)-(I.19) et de l'expression de la charge d'inversion en fonction des différents potentiels, l'intégration de cette charge le long du canal aboutie à :

$$I_{DS} = -\frac{W}{L} \mu_0 C_{ox} [F(L) - F(0)] \quad (\text{I.20})$$

où la fonction F est donnée par :

$$F(x) = (V_{GS} - V_{FB} - V_{BS}) \Psi_S(x) - \frac{\Psi_S}{\beta} - \frac{\gamma}{\beta} (\beta \Psi_S(x) - 1)^{1/2} - \frac{1}{2} \Psi_S(x)^2 - \frac{2}{3} \gamma (\beta \Psi_S(x) - 1)^{3/2} \quad (\text{I.21})$$

Pour avoir un développement plus complet de ce modèle, on pourra se reporter au livre de Tsividis [Tsividis'99]. Ce modèle nécessite la connaissance des potentiels de surface aux bornes du canal contrairement à l'approche de Pao et Sah ce qui augmente d'autant la vitesse de calcul. Malheureusement, ce gain en temps se fait au détriment de la possibilité de prendre en compte la plupart des effets parasites. De plus, ce modèle est pseudo-2D donc ne prend pas en compte les effets 2D.

I.3.3. Le modèle ohmique

Pour les tensions de drain très faibles (i.e. inférieures à kT/q), la couche d'inversion peut être considérée comme uniforme le long du canal et le courant du transistor se modélise très simplement en considérant le canal comme une résistance :

$$I_{DS} = -\frac{W}{L} \mu_0 C_{ox} Q_n V_{DS} \quad (\text{I.22})$$

Bien que limité en tension, ce modèle permet de simuler très simplement l'impact des effets parasites sur le courant du transistor MOS.

I.4. La technique de pompage de charge

Le pompage de charge est une technique de caractérisation qui permet de déterminer la densité moyenne des états "rapides" électriquement actifs de l'interface Si-isolant ou leur distribution énergétique. Elle permet aussi de déterminer la section de capture de ces états [Autran'99b].

I.4.1. Présentation de la technique de pompage de charge

Le phénomène de pompage de charge a été observé pour la première fois en 1969 par Brugler et Jespers [Brugler'69]. L'application d'un pulse de tension rectangulaire, trapézoïdal ou sinusoïdal sur la grille du transistor (c.f. figure (I.5)) fait passer alternativement le semi-conducteur du régime d'accumulation au régime d'inversion forte. Les pièges présents à l'interface capturent et émettent des électrons et des trous ce qui donne naissance à un courant au niveau du substrat appelé courant pompé. La première expression du courant pompé, donnée par Brugler, est :

$$I_{cp} = F_P A_{eff} q D_{it} \Delta \Psi_S \quad (I.23)$$

où F_P est la fréquence du signal de grille, A_{eff} l'aire effective du canal, q la valeur absolue de la charge de l'électron et $\Delta \Psi_S$ une partie de la bande interdite du semi-conducteur. L'indétermination sur $\Delta \Psi_S$ a été levée en 1984 par Groeseneken *et al* [Groeseneken'84] en faisant intervenir deux niveaux d'énergie de fin d'émission des électrons et des trous respectivement $E_{em,e}$ et $E_{em,h}$. Ces niveaux dépendent de la forme du signal de grille et des sections de capture des électrons et des trous.

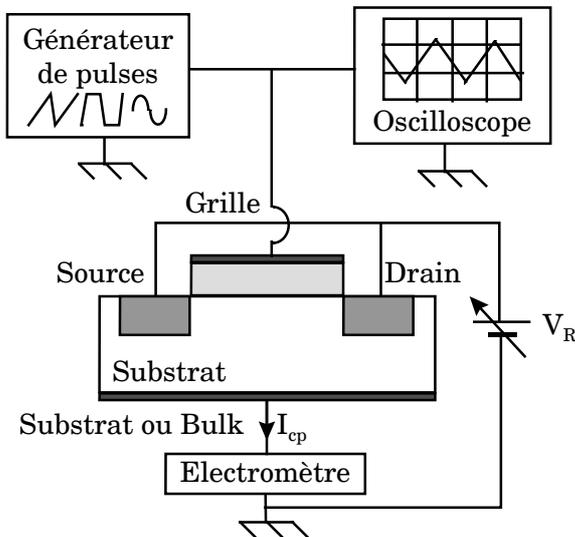


Figure I.5. Schéma de principe du banc de mesure utilisé pour l'étude par pompage de charge des transistors MOS.

I.4.2. Pompage de charge à deux niveaux : la courbe en cloche

La figure suivante (I.6) présente la courbe caractéristique, dite "courbe en cloche", obtenue par pompage de charge à deux niveaux : pour une amplitude du pulse constante et un niveau bas du pulse variable. Les premières illustrations de cette courbe ont été publiées par Elliot [Elliot'76] et elle se compose de cinq parties distinctes :

- ③ : Le signal de grille fait passer alternativement la surface du semi-conducteur de l'accumulation à l'inversion et le courant pompé est maximum.

- ① et ⑤ : Le semi-conducteur est toujours soit en régime d'accumulation, soit en régime d'inversion forte. Il n'y a pas de phénomène de recombinaison entre les deux types de porteurs et les pièges. Le courant pompé est nul.
- ② et ④ : Cas intermédiaire entre les situations ③ et ①/⑤.

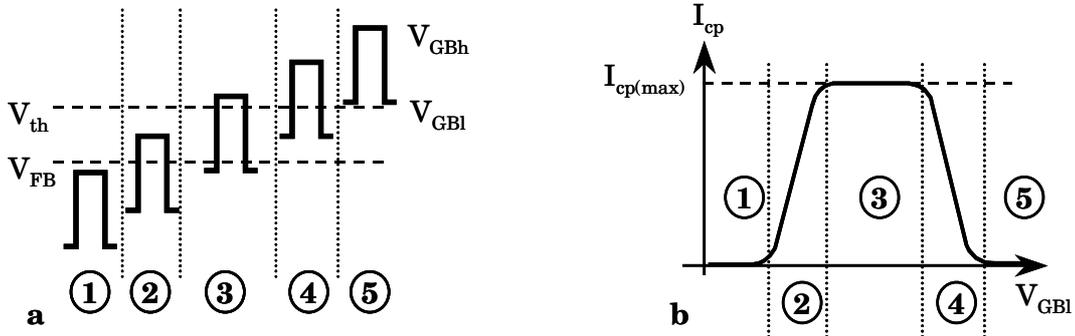


Figure I.6. Positions du signal de grille par rapport aux tensions V_{FB} et V_{th} utilisées dans la technique de pompage de charge à deux niveaux (a) et représentation schématique de la caractéristique $I_{cp}(V_{GBi})$ correspondante (b).

Pour obtenir le courant pompé maximal, il faut donc définir le pulse avec une amplitude et un niveau bas tel que le semi-conducteur passe de l'accumulation à l'inversion pendant la durée du pulse. Cela correspond à une amplitude ΔV_{GB} supérieure à $(V_{th} - V_{FB})$ et à un niveau bas du pulse V_{GBi} inférieur à la tension de bandes plates V_{FB} .

I.4.3. Pompage de charge à trois niveaux

Le pompage de charge à trois niveaux a été introduit en 1987 par Tseng [Tseng'87]. Il permet de déterminer la distribution énergétique de la densité d'états d'interface plus simplement et d'une manière beaucoup plus précise et plus complète que le pompage de charge à deux niveaux. Cette technique permet aussi d'obtenir la résolution énergétique des sections de capture dans la bande interdite du semi-conducteur [Autran'99b].

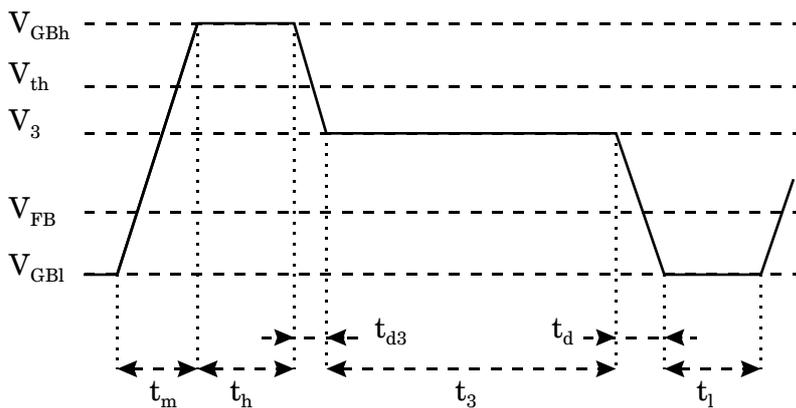


Figure I.7. Forme du signal de grille utilisé par la technique de pompage de charge à trois niveaux.

Comme l'illustre la figure (I.7), le cycle de polarisation de la grille comporte en plus des niveaux bas (V_{GBi}) et haut (V_{GBh}), un troisième niveau, $V_{GB} = V_3$ qui se situent entre V_{GBh} et V_{GBi} , intervenant lors du basculement inversion forte – accumulation. Si le temps t_3 est choisi suffisamment long, les pièges ont le temps de se mettre à l'équilibre avec le niveau de Fermi au niveau d'énergie E_3 par émission d'électrons. On bascule ensuite brusquement la structure en régime d'accumulation. Les états d'interface se vident par capture de trous, mais seuls les niveaux situés entre E_3 et le niveau de Fermi E_{FL} , correspondant à la tension

V_{GBL} , participent à ce phénomène. Le courant pompé total I_{cp} est alors directement proportionnel à la densité d'états d'interface situés en dessous de E_3 . Il est de la forme :

$$I_{cp} = qA_{eff}F_p \int_{E_3}^{E_{em,h}} D_{it}(E)dE \quad (I.24)$$

Les variations de la tension V_3 , et donc de l'intervalle $[E_{em,h}, E_3]$, permettent de déterminer la distribution énergétique des états d'interface en exploitant les variations du courant pompé.

I.5. Conclusion

Nous avons décrit succinctement la statistique SRH appliquée au piégeage à l'interface et dans l'isolant des structures MOS en introduisant la capacité des pièges à capturer et à émettre des électrons et des trous. Nous avons aussi introduit trois approches de la modélisation du transistor, en mettant en avant leur avantages et inconvénients, puis décrit les techniques de pompage de charge à deux et à trois niveaux. Pour une approche plus détaillée de la modélisation et de la caractérisation du transistor MOS on pourra se reporter aux références [Tsvividis'99-D5] et pour la technique de pompage de charge aux références [Autran'99b-D3].

Chapitre II : Caractérisation des défauts électriquement actifs

II.1 Introduction

Dans cette partie, nous présentons un certain nombre de travaux dédiés à la caractérisation des pièges électriquement actifs et charges fixes présents dans l'isolant de grille des structures MOS. Nous décrivons notre contribution à la caractérisation par pompage de charge des pièges d'interface après micro-irradiation et du piège unique pour les transistors fortement sub-microniques (50 nm de longueur de canal). Nous analysons aussi la détermination des pièges d'interface des capacités MIS en HfO_2 par la technique C-V et la détermination des charges fixes de l'isolant des capacités MOS après un stress électrique par des mesures I-V.

II.2. Micro-irradiation de transistors MOS

Les dispositifs MOS placés dans un milieu radiatifs comme l'espace (composants militaires et spatiaux) sont sujets à des variations de leurs caractéristiques en raison de la dégradation rapide de l'isolant de grille [[Johnson'88 – Stahlbush'96]. Cette dégradation engendre l'apparition de charges parasites ou plus généralement de défauts électriquement actifs et charges fixes qui modifient les principales caractéristiques de ces structures comme la tension de bandes plates, la tension de seuil et la mobilité des porteurs. Usuellement, les composants sont irradiés de façon globale (i.e. sur toute leur surface). Le travail que nous présentons dans ce paragraphe a été effectué dans le cadre de nos travaux post-doctoraux au LPM et au LPCS. Il a eu pour but de mettre en œuvre une nouvelle méthode expérimentale de micro-irradiations X sur des points localisés du canal afin d'étudier la réponse électrique des pièges créés en fonction de leur localisation. Il est à noter que cette technique a été mise en œuvre en 2001 par une autre équipe de recherche [Rosenfeld'01].

II.2.1. Présentation de la ligne d'irradiation

Cette expérience de micro-irradiation s'est déroulée sur la ligne ID13 de l'European Synchrotron Radiation Facility (ESRF) de Grenoble [Engstrom'91]. La figure (II.1.a) présente une photo du banc d'irradiation et la figure (III.1.b) donne son schéma de principe. Un faisceau monochromatique de rayons X de 13 keV avec un flux d'environ $6 \times 10^8 \text{ photons s}^{-1} \mu\text{m}^{-2}$ est conduit jusqu'à une fibre capillaire dirigée vers le transistor MOS (DUT : Dispositif Under Test) monté en boîtier. La localisation du faisceau de 2 μm de diamètre est étalonnée avec une photodiode. Les appareils de mesures permettant l'application du potentiel de grille lors de l'irradiation, la mesure des caractéristiques du transistor MOS et les mesures de pompage de charge sont placés à l'intérieur de l'enceinte blindée. L'ordinateur qui pilote les mesures se trouve, quant à lui, dans la salle de commande. Les transistors MOS de type N irradiés lors de cette étude avaient une surface de canal de $100 \times 100 \mu\text{m}^2$ pour un isolant de 4.5 nm d'épaisseur. La position du faisceau d'irradiation sur le dispositif s'est faite à l'aide d'un goniomètre qui permettait de déplacer les transistors dans les trois directions de l'espace.

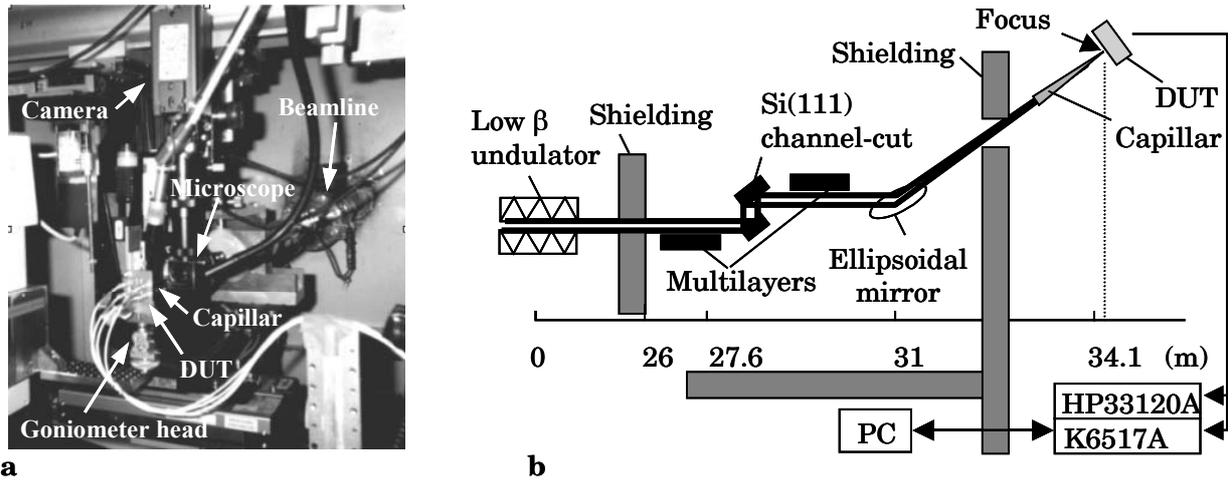


Figure II.1. Photo du banc d'irradiation mettant en évidence la position du transistor par rapport à la fibre optique (a) et schéma de principe de ce banc (b) [R6].

Les transistors ont été irradiés à température ambiante sous une tension de grille de 1 V (les autres potentiels étant à la masse) avec une dose d'environ 180 Mrad(Si)/s. Cette dose très élevée est due à l'extrême luminosité de la source de rayons X ce qui autorise des temps très courts d'irradiation (au minimum 2 ms).

II.2.2. Effet d'un spot d'irradiation

La figure (II.2) présente la localisation du premier spot d'irradiation, noté A (au milieu du canal), dont l'impact sur le courant de drain est négligeable comme le montre la figure (II.3.a). La figure (II.3.b) montre la réponse du transistor en pompage de charge (courbe $I_{CP}(V_{GB1})$) avant et après le spot A. La soustraction des deux courbes indique clairement une augmentation du courant pompé d'environ 2.4 pA ce qui correspond à une création d'environ 3000 pièges d'interface. A partir de la surface du spot (i.e. environ $3.1 \mu\text{m}^2$), on détermine la densité de piège qui est $9.6 \times 10^{10} \text{ cm}^{-2}$ ce qui donne après détermination des niveaux d'énergie de fin d'émission des électrons et des trous une densité des pièges d'interface, D_{it} , égale à $2.8 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$.

Ce premier exemple de détermination de la modification locale de la densité des pièges d'interface met en évidence l'extrême sensibilité de la technique de pompage de charge.

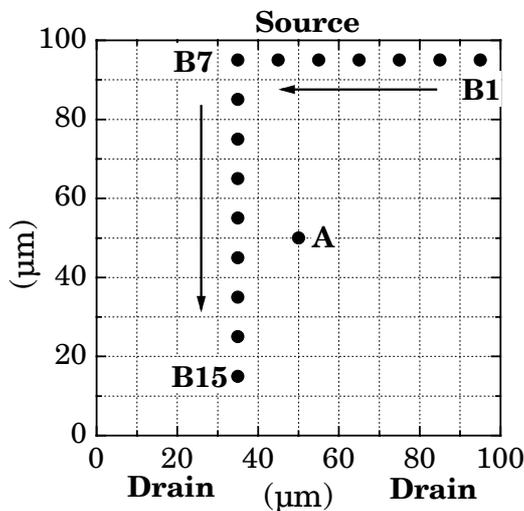


Figure II.2. Localisation sur le canal du transistor des spots d'irradiation A et B [R6].

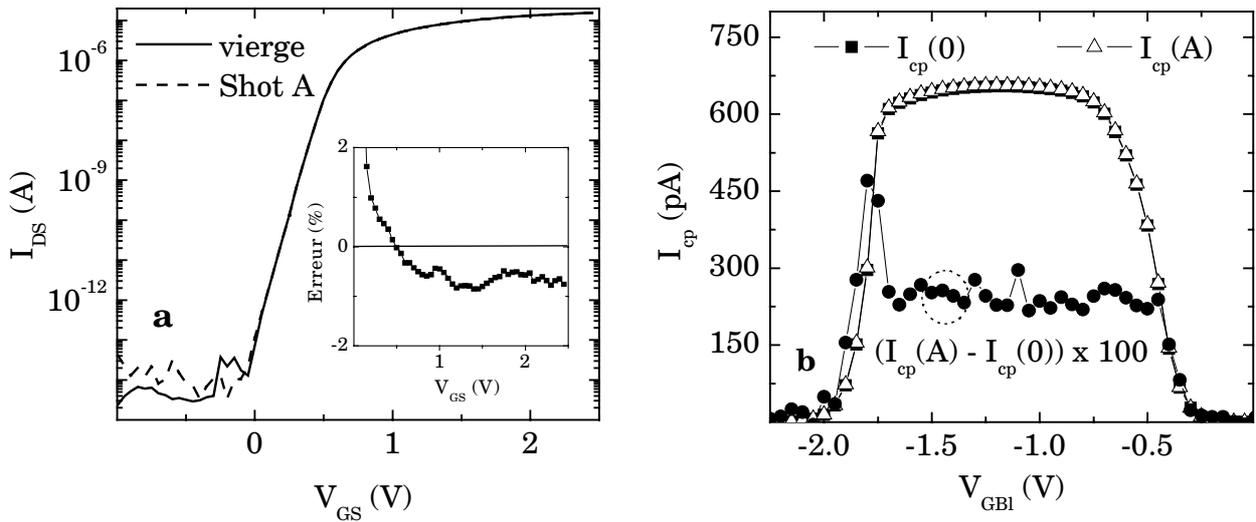


Figure II.3. Non modification de la caractéristique $I_{DS}(V_{GS})$ (a) et modification de la courbe en cloche du pompage de charge (b) après le shot A [R6].

II.2.3. Effet de plusieurs spots d'irradiation

On considère à présent un nouveau transistor soumis à la série de 15 spots allant de B1 à B15 et (c.f. figure (II.2)). Ces spots sont localisés le long de la zone de source (B1 à B7) et le long du canal (B8 à B15). La figure (II.4.a) montre l'augmentation du courant pompé pour la série de spots allant de B8 à B15. Bien que le courant pompé soit d'amplitude faible, et donc bruité, la croissance par palier semble approximativement proportionnelle au nombre de spots quand on modifie la position de ces spots, à l'exception des spots près du drain.

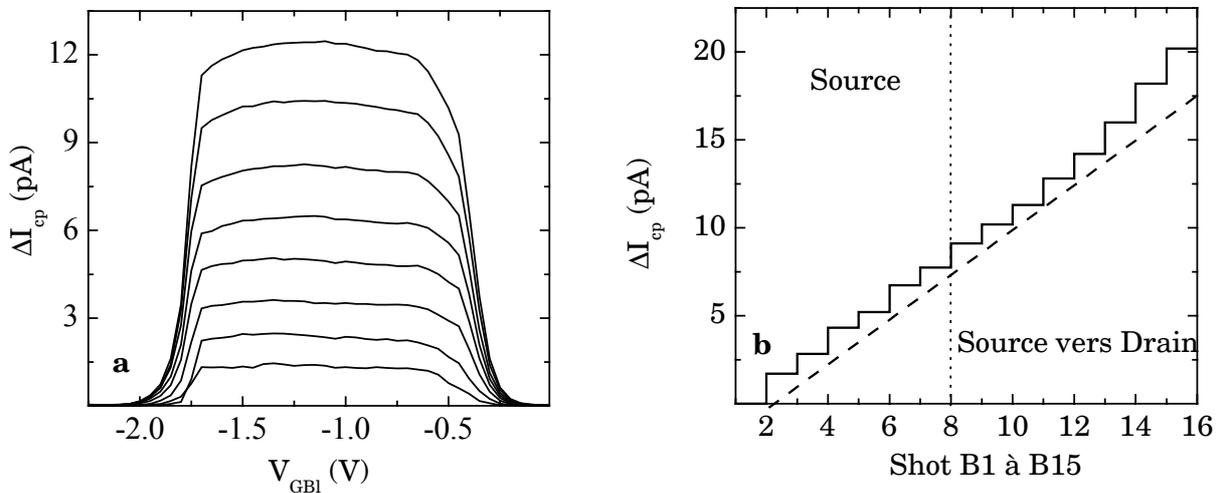


Figure II.4. Variation du courant pompé pour les spots allant de B8 à B15 (a) et variation du maximum du courant pompé pour tous les spots (b) [R6].

Chaque spot d'irradiation a induit localement une densité de pièges égale à environ $2.6 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$. L'augmentation de la densité de pièges plus importante près du drain peut avoir comme origine une modification locale du dopage du substrat ce qui est toujours le cas près de la jonction. Cette variation entraîne une modification locale des tensions de seuil et de bandes plates. Cela induit une mauvaise estimation des niveaux d'énergie de fin d'émission des électrons et des trous et par suite une erreur dans l'estimation de la densité de pièges. Il faut toutefois noter que le spot B15 se situe à $10 \mu\text{m}$ de la zone de drain ce qui

est trop important pour obtenir une variation du dopage. Il faut toutefois relativiser cette distance en considérant qu'il existe une erreur sur le positionnement du spot ainsi que sur la variation de cette position. Cette erreur de position, qui est d'environ $8 \mu\text{m}$ (et qui peut rapprocher les spots de la zone de drain), ne semble pas pouvoir expliquer la non linéarité de la courbe de la figure (II.4.b) représentant la variation du maximum de pompage de charge en fonction de la position des spots. Durant cette expérience, plusieurs transistors ont été étudiés et nous n'avons pas détecté d'influence particulière de la position du spot sur la densité de pièges obtenue que ce soit pour des spots au centre et sur les bords du canal ou près des jonctions de drain et de source.

II.2.4. Quasi-claquage de l'isolant

Nous avons aussi étudié la corrélation entre les zones irradiées et les points de claquage ou de quasi-claquage de l'isolant (sous fort champ électrique) détectées par photoluminescence. Ces mesures de photoluminescence ont été effectuées avec un microscope et une caméra CCD Hamamatsu. Les transistors irradiés ont été soumis à un potentiel de grille constant et égal à 7 V (la source, le drain et le substrat étant à la masse). Le signal lumineux provenant de la grille du transistor a été intégré dans le temps et sur la gamme de longueur d'onde $400\text{-}1000 \text{ nm}$ alors que la variation temporelle du courant de grille était mesurée par un HP4155B.

La figure (II.5.a) donne la localisation des zones irradiées et des points de quasi-claquage (en contraste négatif) pour le transistor ayant été soumis aux spots allant de B1 à B15. L'évolution temporelle du courant de grille de ce transistor est donnée à la figure (II.5.b). Les paliers 1, 2, et 3 de cette figure correspondent à l'apparition des quasi-claquages 1, 2 et 3 de la (II.5.a). Le spot lumineux numéro 4 correspond au claquage de l'isolant de grille. A partir de la figure (II.5.a), il apparaît clairement qu'il n'existe pas de corrélation évidente entre les zones irradiées et les zones de claquage et de quasi-claquage.

La même étude a été répétée sur d'autres transistors micro-irradiés pour lesquels nous avons appliqué un cumul de doses sur la même zone afin d'augmenter fortement et localement la densité de pièges ($> 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$). Là encore nous n'avons pas trouvé de corrélation entre zones irradiées et zones de claquage et de quasi-claquage.

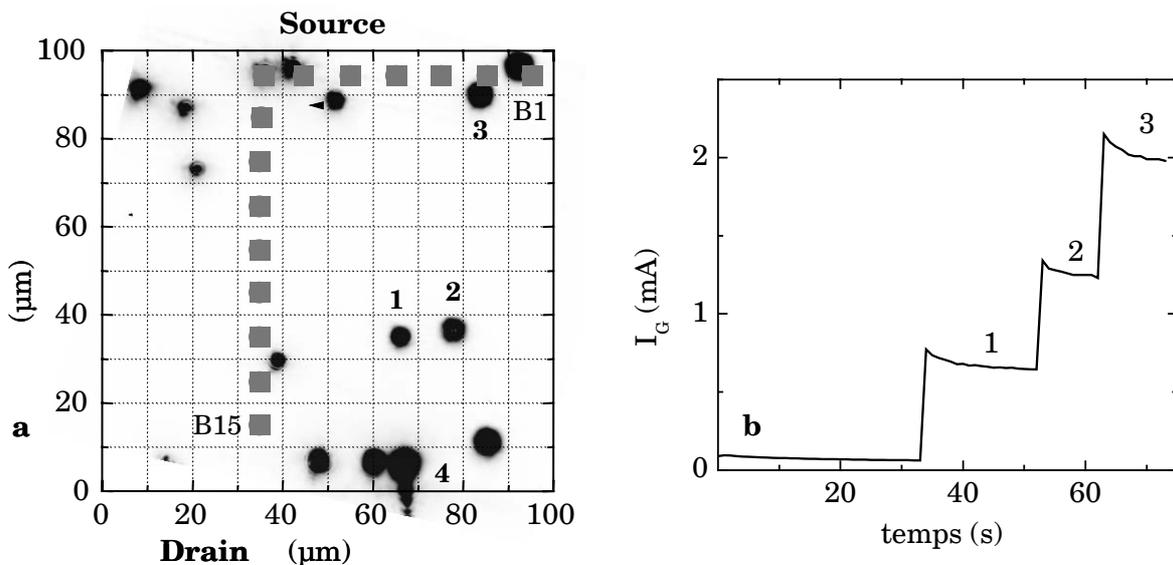


Figure II.5. Localisation entre zones d'irradiation et zones de quasi-claquage en contraste négatif (a) du transistor soumis à la série de spots allant de B1 à B15 et visualisation des variations du courant de grille pour les quasi-claquages 1, 2 et 3 (b) [R6].

Nous pouvons émettre plusieurs hypothèses pour expliquer ce résultat :

- 1) il existe dans l'oxyde des zones qui peuvent donner lieu à des quasi-claquages (ou claquage). La dégradation de l'isolant ainsi que des variations localisées de l'épaisseur d'isolant peuvent accélérer l'apparition de ces quasi-claquages,
- 2) l'existence d'une densité minimale de pièges, environ $5 \times 10^{13} \text{ cm}^{-2}$, est nécessaire à l'apparition des quasi-claquages et une telle densité n'a pas été atteinte lors de notre étude.

Finalement, nous pouvons retenir que même si la densité de pièges a augmenté d'un facteur 100 (pour certains de nos transistors), cela n'a pas conduit à des quasi-claquages de l'isolant localisés préférentiellement dans les zones irradiées.

II.3. Pompage de charge sur piège unique

L'expérience de miro-irradiation de transistors MOS a mis en évidence l'extrême sensibilité de la technique de pompage de charge pour déterminer la densité de pièges d'interface. Dans ce chapitre, nous montrons que cette technique permet aussi de mettre en évidence la présence d'un seul piège d'interface (quel que soit la surface du transistor) et d'en donner les principales caractéristiques comme sa position énergétique dans la bande interdite et sa section de capture. La réduction de la taille des transistors MOS, résultant de la course à l'intégration, implique la présence d'un nombre réduit de défauts électriquement actifs dans l'isolant de grille (jusqu'au défaut unique). Pour les transistors de grande géométrie, l'influence électrostatique d'un piège se fait sur une toute petite surface du canal ce qui implique une variation infime des caractéristiques du transistor notamment au niveau de la courbe $I_{DS}(V_{GS})$. Par contre, un transistor de très faible géométrie aura une surface d'influence non négligeable par rapport à la surface du canal ce qui se traduit par des variations importantes des caractéristiques du transistor. Cela s'observe, par exemple, par de brusques sauts du courant de drain au cours du temps (à tension de grille donnée) que l'on appelle bruit RTS (Random Telegraphique Noise) [Roux'92]. Cette présence néfaste d'une faible population de pièges a tout de même un avantage puisque l'étude des transistors de très faible géométrie va nous permettre de déterminer les propriétés électriques individuelles des pièges ce qui est impossible avec les transistors de grande géométrie.

Bien que largement étudiée par mesure de bruit RTS, la détection du piège unique par la technique de pompage n'a été jusqu'à présent que très peu étudiée [Saks'95 – Saks'97]. Cela s'explique simplement en partant du principe que la densité des pièges d'interface (détectable par CP) est environ 100 fois supérieure à la densité de pièges loin de l'interface ($> 1 \text{ nm}$) responsable du bruit en $1/f$ et donc du bruit RTS. L'observation d'un seul piège par mesure de bruit peut donc se faire sur des transistors dont la surface de canal est bien plus grande que pour la détection d'un piège par CP.

L'étude présentée dans cette partie a été menée sur des transistors de géométrie $W \times L = 0.25 \times 0.05 \text{ } \mu\text{m}^2$ fabriqués par le CEA/LETI. La mesure de très faibles courants a nécessité l'amélioration de notre banc de pompage de charge avec notamment la fabrication d'une cage de Faraday (pour isoler la station sous pointes), la fabrication de nouvelles pointes avec isolement en teflon et le câblage complet du banc en câbles coax et triax bas-bruit. Toutes ces modifications nous ont permis d'obtenir une résolution d'environ 1 fA .

Le travail présenté dans ce paragraphe s'est déroulé dans le cadre du contrat ULTIMOX et en partie dans le cadre du projet de fin d'étude/DEA de Vincent CELIBERT et de la formation de Liviu MILITARU à ma succession au LPM.

II.3.1. Simulation du pompage de charge sur piège unique

Lors de nos travaux de thèse, nous avons travaillé sur la théorie du pompage de charge et proposé une nouvelle approche pour la simulation de cette technique de mesures [R7-D3]. Contrairement aux travaux précédents, notre approche permet de considérer une densité énergétique quelconque de pièges d'interface avec une répartition quelconque de leurs sections de capture.

Le courant pompé obtenu pour un seul piège pour un substrat de type P est donné par :

$$I_{CP} = \frac{\int_0^{T_P} q[e_p(1-f_t) - c_p f_t] dt}{T_P} \quad (\text{II.1})$$

où T_P représente la période du signal de grille.

Il est bon de remarquer que la contribution maximale d'un seul piège ($1.6 \cdot 10^{-19}$ C) pour un signal de grille de 1 Mhz est de 0.13 pA. Des courants aussi faibles sont donc mesurables mais nécessitent de faire une moyenne sur plusieurs acquisitions avant de tracer un point.

En fonction de la fréquence du signal de grille (ou des sections de captures), un piège d'interface aura le temps de répondre complètement c'est-à-dire de capturer un électron puis de capturer un trou. Si on prend l'exemple précédent, le courant pompé (courbe $I_{CP}(V_{GB1})$) aura pour valeur maximale 0.13 pA. D'un point de vue purement statistique, il peut ne pas avoir le temps de se remplir complètement avec la capture d'un électron. Dans ce cas, le maximum de courant pompé aura une valeur inférieure à 0.13 pA. En modifiant la forme du signal de grille (front de descente d'un signal trapézoïdal par exemple), il est possible d'obtenir une réponse plus ou moins complète du piège et par suite de déterminer ses principales caractéristiques.

II.3.2. Pompage de charge sur quelques pièges

Le pompage de charge à deux niveaux effectué sur plusieurs transistors de géométrie $W \times L = 10 \times 10 \mu\text{m}^2$ a donné une densité moyenne d'états d'interface, D_{it} , égale à $2.5 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$. Cette densité, très faible, est une donnée statistique qui indique la présence d'en moyenne 25000 pièges pour un tel transistor. Pour les plus petits transistors ($W \times L = 0.25 \times 0.05 \mu\text{m}^2$), il faut donc compter sur une moyenne de trois pièges électriquement actifs à l'interface. La section efficace de capture moyenne σ_{np} a une valeur ($3 \times 10^{-17} \text{ cm}^2$) classiquement obtenue pour un diélectrique de type SiO_2 . Notons finalement que même si le spectre en énergie de la densité de piège (obtenu par pompage de charge à trois niveaux) n'est pas donné, la forte variation de la charge lors de l'émission d'électrons comparée à celle des trous suggère la présence d'un plus grand nombre de pièges dans la moitié supérieure de la bande interdite par rapport à la moitié inférieure [C10].

La courbe $I_{CP}(V_{GB1})$ de la figure (II.6) obtenue sur un petit transistor, indique la présence de cinq pièges d'interface. Cette courbe se décompose en une somme de deux autres courbes relatives à la présence de trois pièges probablement sous le canal et à la présence de deux pièges probablement proches des zones de drain et source. La plupart des transistors, que nous avons étudié, étaient caractérisés par la présence de quelques pièges et assez peu par la présence d'un piège unique.

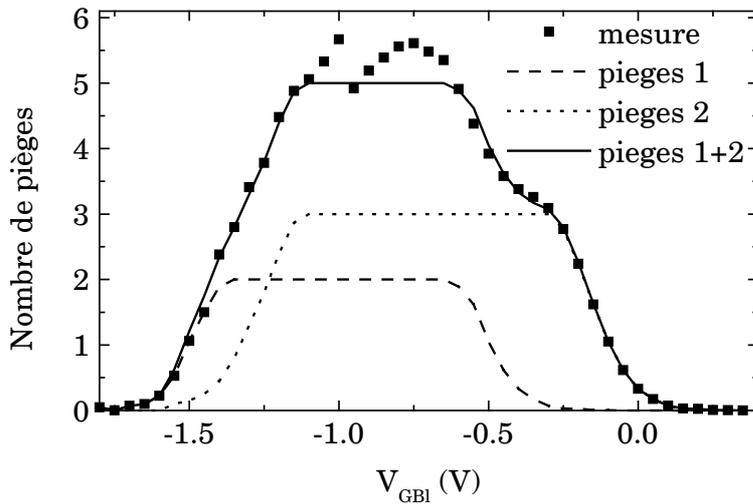


Figure II.6. Courbes $I_{CP}(V_{GBI})$ obtenues sur un transistor de géométrie $W \times L = 0.25 \times 0.05 \mu\text{m}^2$ indiquant la présence de 5 pièges.

II.3.3. Détermination de la relation énergie-section de capture

La charge pompée obtenue sur un des transistors est donnée à la figure (II.7.a) en fonction du bas de la tension de grille de forme trapézoïdale et de son temps de descente, t_f . La figure (II.7.b) donne l'évolution du maximum de charge pompée en fonction de t_f et met en évidence la saturation de Q_{CP} à environ $1.6 \times 10^{-19} \text{C}$ (valeur absolue de la charge de l'électron) pour les faibles valeurs de t_f . Cette saturation révèle la présence d'un seul piège électriquement actif à la surface du canal du transistor MOS.

La dépendance du maximum de la charge pompée avec t_f démontre aussi que ce piège se situe dans la moitié supérieure de la bande interdite (i.e. entre E_i et E_C). En effet, plaçons nous à la polarisation maximale du signal de grille (V_{GBh}) qui impose au piège d'être plein. Lors de la descente du signal de grille pour atteindre le palier bas (V_{GBl}), la variation du niveau de Fermi à l'interface impose au piège de libérer son électron. Pour cela il existe deux possibilités :

- Emettre l'électron vers la bande de conduction (mécanisme activé thermiquement) ce qui coûte de l'énergie au piège et donc prend un certain temps,
- Capturer un trou (i.e. émettre son électron vers la bande de valence) ce qui est très rapide (ne nécessite pas l'apport d'énergie) mais est fortement dépendant de la densité de trous à l'interface.

Considérons N périodes du signal de grille et rappelons que le courant pompé correspond au courant moyen sur ces N périodes. Si le temps de descente du signal est très court, la probabilité d'émettre l'électron piégé est négligeable comparée à la probabilité de capturer un trou. Ainsi à chaque période du signal, le piège capture un trou et le courant pompé est maximum (i.e. $I_{CP} = q/T_P$). Pour un temps de descente plus faible, le piège pourra émettre son électron pour certaines des N périodes. Le courant pompé moyen sera donc inférieur à q/T_P . Par exemple si le piège émet son électron pour $N/2$ périodes, le courant pompé sera égale à $0.5 \times q/T_P$. Pour un temps de descente encore plus important, le piège peut systématiquement émettre son électron à chaque période du signal de grille. I_{CP} est alors nul car il n'y a pas de recombinaison électron-trou au niveau du piège (capture d'un électron suivie de l'émission de cet électron).

La modification du temps de montée du signal (le piège est supposé vide) n'a aucune influence sur la valeur de la charge pompée car le remplissage du piège par émission de son trou (i.e. capture d'un électron de la bande de valence) est extrêmement lent (apport trop important d'énergie) et reste extrêmement peu probable.

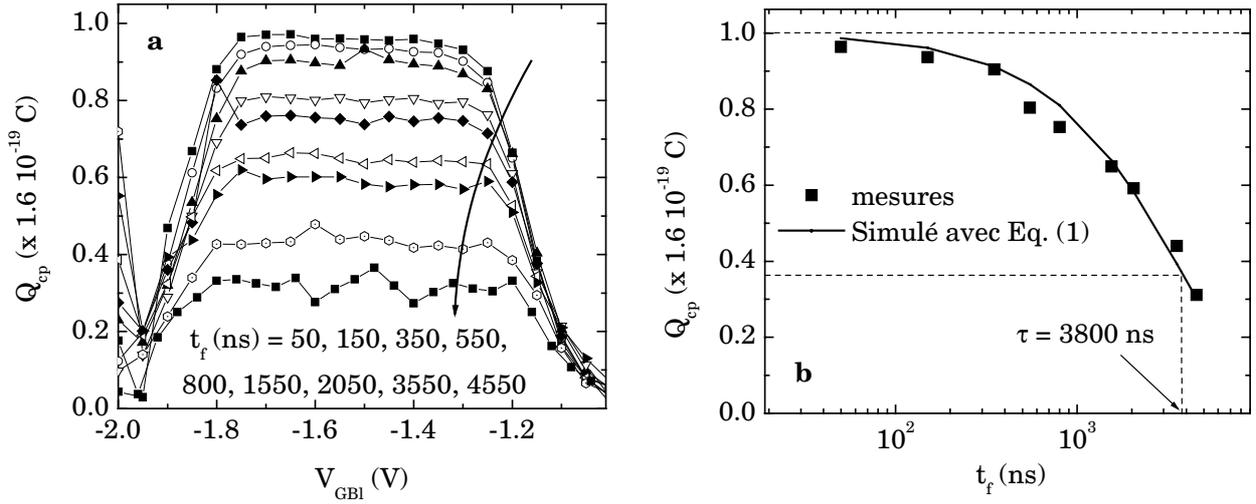


Figure III.7. Courbe $I_{CP}(V_{GBI})$ obtenue avec un signal trapézoïdal (temps de descente variable) sur un transistor de géométrie $W \times L = 0.25 \times 0.05 \mu\text{m}^2$ faisant apparaître 1 piège (a) et évolution de la charge pompée en fonction du temps de descente (b). Les caractéristiques du signal de grille sont $\Delta V_{GB} = 1.95$ V, $F_P = 1$ MHz [R11].

La courbe $Q_{CP}(t_f)$ de la figure (III.7.b) peut être simulée à partir des équations (I.6) et (II.1) ou approximée par l'équation introduite par Saks [Saks'95] :

$$Q_{CP} = q \exp\left(-\frac{t}{\tau}\right) \quad (\text{II.2})$$

Nos simulations de la courbe $Q_{CP}(t)$ ont montré qu'elle peut être approximée par l'équation (II.2) lorsque l'énergie du piège se situe dans la gamme $[E_i - \Phi_F, E_i + \Phi_F]$. La constante de temps, τ , a pour valeur $3.8 \mu\text{s}$.

Lorsque la réponse du piège est approximable par l'équation(II.2), nous avons trouvé, avec notre simulateur, que la relation $E_t(\sigma_n)$ était donnée par la relation suivante :

$$\sigma_n = \frac{1}{\tau v_{th} n_i \exp\left(\frac{E_t - E_i}{kT}\right)} \quad (\text{II.3})$$

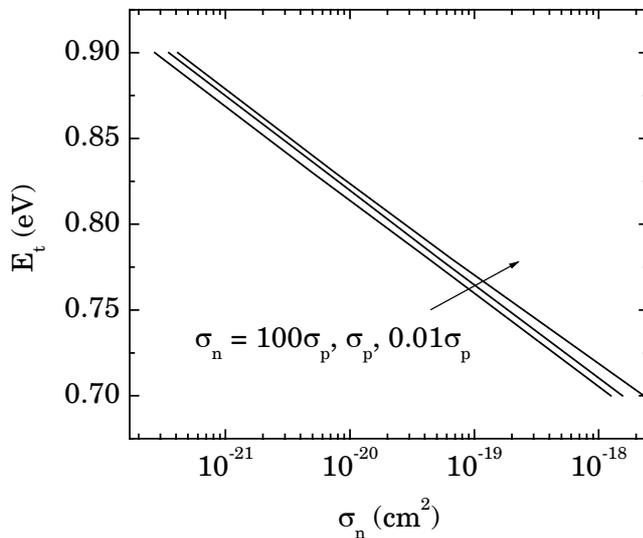


Figure II.8. Relation entre position énergétique du piège et section de capture des électrons pour $\tau = 3.8 \mu\text{s}$ [R11].

Cette expression donne un lien direct entre position énergétique et section de capture et correspond à la statistique SRH. Comme le montre la figure (II.8), la constante de temps τ trouvée précédemment peut être obtenue avec une large gamme de couples (E_t , σ_n) : plus le piège est proche de la bande de conduction, plus la section de capture des électrons doit être faible. A partir de ce graphique, ou de l'équation (II.3), et en supposant connue la position énergétique du piège, on peut déterminer la valeur de la section de capture. Pour compléter notre étude, nous avons simulé l'impact, sur la relation $E_t(\sigma_n)$, d'une valeur très différente de la section de capture des trous par rapport à la section de capture des électrons (facteur 100). La figure (II.8) montre que cet impact reste relativement faible.

II.3.4. Pompage de charge à trois niveaux

Comme nous venons de le montrer, le pompage de charge à deux niveaux permet de trouver le lien entre E_t et σ_n obtenues par la détermination de la constante de temps τ . Une méthode basée sur la mesure C-V d'une capacité MOS (voisine du transistor) a permis à Saks [Saks'97] d'estimer la section de capture d'un piège unique. Lors de ce travail, et afin d'éviter l'emplois d'un autre composant que le transistor étudié, nous avons préféré utiliser une autre technique de pompage de charge : le pompage de charge à trois niveaux.

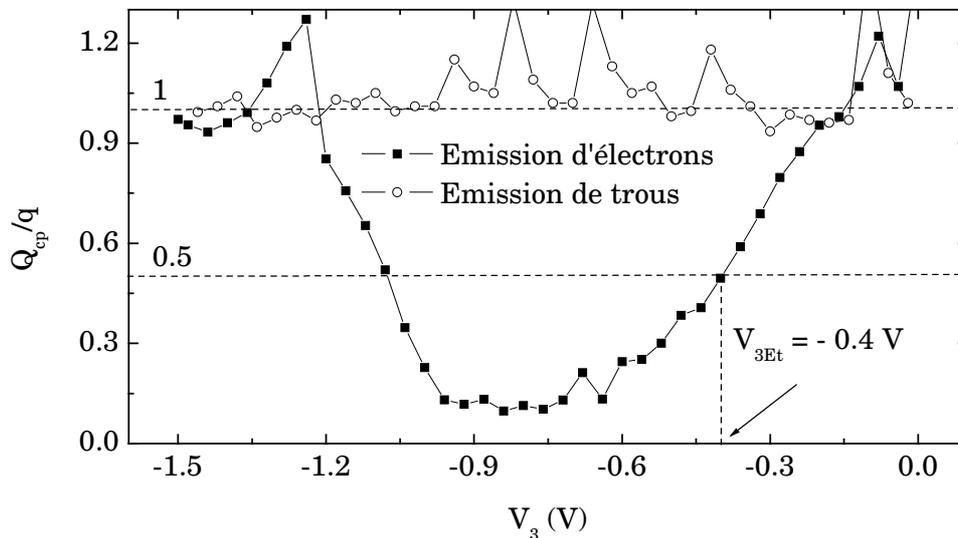


Figure II.9. Charge pompée normalisée obtenue par pompage de charge à trois niveaux sur un piège unique [R11].

Nous avons appliqué un signal de grille à trois niveaux de fréquence 200 kHz, avec un palier intermédiaire, t_3 , de 4.65 μ s afin de contrôler l'émission des électrons et des trous. La figure (II.9) illustre l'évolution de la charge pompée en fonction du niveau de tension V_3 (troisième niveau de tension). La non variation de cette charge pour l'émission de trous et la forme particulière de la courbe correspondant à l'émission des électrons confirme la présence du piège dans la moitié supérieure de la bande interdite. Une charge pompée égale à $0.5 \times q$ est mesurée lorsque la position du niveau de Fermi à l'interface correspond à la position énergétique du piège. Pour notre transistor, la tension de grille est $V_3 = -0.41$ V ce qui donne $E_F = E_t = 0.83$ eV (référéncé à partir du haut de la bande de valence) d'après la relation entre le potentiel de surface et le niveau de Fermi obtenue à partir de la caractéristique $I_{DS}(V_{GS})$ du transistor. La connaissance de la position énergétique et l'utilisation de l'équation (II.4) permet la détermination de la section de capture des électrons : $\sigma_n \approx 6 \times 10^{-17}$ cm². Ces valeurs sont fortement dépendantes de la précision de la constante de temps τ et en acceptant une erreur de 5 % sur cette valeur, nous pouvons

considérer les caractéristiques du piège comme étant dans la gamme suivante : $E_t \in [0.82, 0.86 \text{ eV}]$ et $\sigma_n \in [2 \times 10^{-17}, 8 \times 10^{-17} \text{ cm}^2]$.

Nous pouvons aussi signaler que seuls cinq des transistors étudiés ont montré la présence d'un piège unique et que ces pièges étaient toujours situés dans la moitié supérieure de la bande interdite. D'un point de vue statistique, cela semble très probable puisque comme nous l'avons indiqué au début de ce chapitre, la technique de pompage de charge à trois niveau appliquée sur des transistors de grandes géométries a montré la présence d'une densité bien plus importante de pièges dans la moitié supérieure que dans la moitié inférieure de la bande interdite du silicium.

II.4. Modélisation de la courbe C-V en fréquence

Afin de remplacer le classique SiO_2 des transistors fortement sub-microniques, plusieurs matériaux isolants sont actuellement à l'étude comme le HfO_2 , ZrO_2 , TiO_2 , Ta_2O_5 , CeO_2 , Y_2O_3 , Al_2O_3 , SrTiO_3 et le La_2O_3 [Manchanda'01]. Le problème majeur de ces matériaux est la qualité de leur interface avec le silicium en terme de densité de pièges électriquement actifs.

La méthode la plus simple pour déterminer la densité de piège d'interface est de quantifier la déformation de la courbe C-V d'une structure MOS mesurée en quasi statique ou à très basse fréquence. En raison de la dépendance en fréquence de la réponse des pièges, la courbe C-V n'a pas la même forme en fonction de la fréquence. La première modélisation de l'impact en fréquence des pièges d'interface a été proposée par Heiman *et al* [Heiman'65]. En nous basant sur notre travail de thèse [D3], portant sur la modélisation du pompage de charge en dynamique, nous avons développé un simulateur qui utilise le même formalisme et la même résolution des équations de base. Nous pouvons rappeler que notre approche permet l'utilisation d'un signal de grille quelconque et l'implantation de propriétés quelconques des pièges (densité, répartition énergétique, section de capture).

Dans cette partie, nous présentons notre simulateur ainsi que son application pour la détermination des pièges d'interface du système $\text{HfO}_2/\text{HfSiO}/\text{Si}$. Ce travail a pour origine l'explication des courbes C-V en fréquence obtenues par Xavier GARROS et Maud BIDAUD, doctorants encadrés par Jean-Luc AUTRAN, lors de leurs travaux sur les matériaux High-k et sur la diffusion du Bore dans le SiO_2 , respectivement.

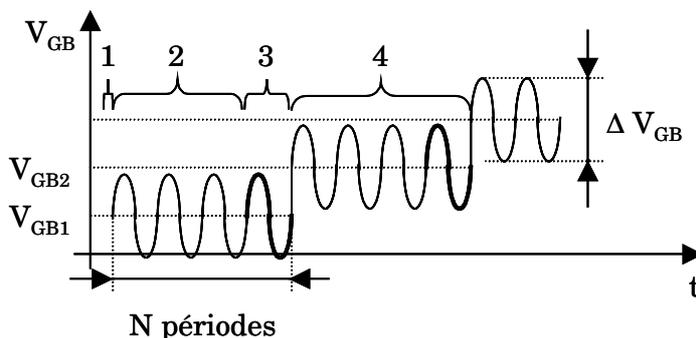


Figure II.10. Illustration des différentes phases du calcul de la courbe C-V.

II.4.1. Modélisation de la courbe C-V

La figure (II.10) illustre les différentes phases du calcul de la courbe C-V qui se décompose de la façon suivante en utilisant les équations (I.5), (I.6) et (I.17) [C13] :

- 1) Initialisation de la probabilité d'occupation des pièges dans la bande interdite du semi-conducteur en supposant qu'ils sont à l'équilibre avec le niveau de Fermi pour la polarisation V_{GB1} .
- 2) Génération du signal de grille avec un signal sinusoïdal d'amplitude ΔV_{GB} (incluant la phase 3) sur N périodes. On ne considère que 100 points par période. Le calcul de l'évolution de la probabilité d'occupation sur $N-1$ périodes permet d'atteindre le régime stationnaire pour l'oscillation de f_t de chaque niveau d'énergie.
- 3) Utilisation de la dernière période du signal de grille pour évaluer la variation de la charge piégée et donc la capacité associée aux pièges qui est donnée par :

$$C_{it} = \left| \frac{\text{Max}(Q_{it}(t)) - \text{Min}(Q_{it}(t))}{\delta\psi_S} \right| \quad (\text{II.4})$$

La capacité totale de la structure est obtenue avec l'équation suivante :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{SC} + C_{it}} \quad (\text{II.5})$$

- 4) Pour une nouvelle polarisation statique V_{GB2} , on recommence les phases 1, 2 et 3. Cette phase est répétée pour toutes les autres polarisations statiques.

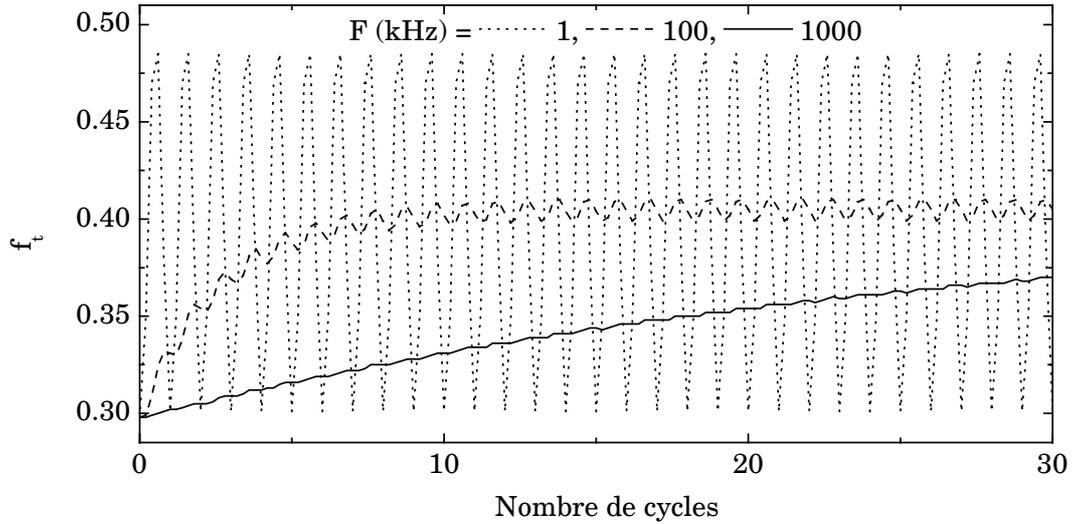


Figure II.11. Illustration des différentes phases du calcul de la courbe C-V. Les paramètres de la simulation sont : $E_t - E_{VS} = 0.798$ eV, $\sigma_n = \sigma_p = 10^{-17}$ cm², $E_{Fmin} - E_{VS} = 0.776$ eV, $E_{Fmax} - E_{VS} = 0.798$ eV, $\Delta V_{GB} = 30$ mV.

II.4.2. Comportement des pièges en fréquences

La figure (II.11) illustre le régime transitoire suivi du régime stationnaire (i.e. oscillations de f_t dont l'amplitude ne change plus avec le temps) que nous venons d'évoquer. Nous considérons ici la variation de la probabilité de remplissage des pièges situés au niveau énergétique $E_t - E_{VS} = 0.798$ eV induite par l'oscillation du niveau de Fermi à l'interface dans la gamme [0.776 eV, 0.798 eV] (donnée à partir du haut de la bande de valence). Afin d'obtenir une meilleure visualisation du régime transitoire, le signal sinusoïdal est initialisé au minimum de la tension contrairement à notre simulateur (c.f. Fig. (II.10)).

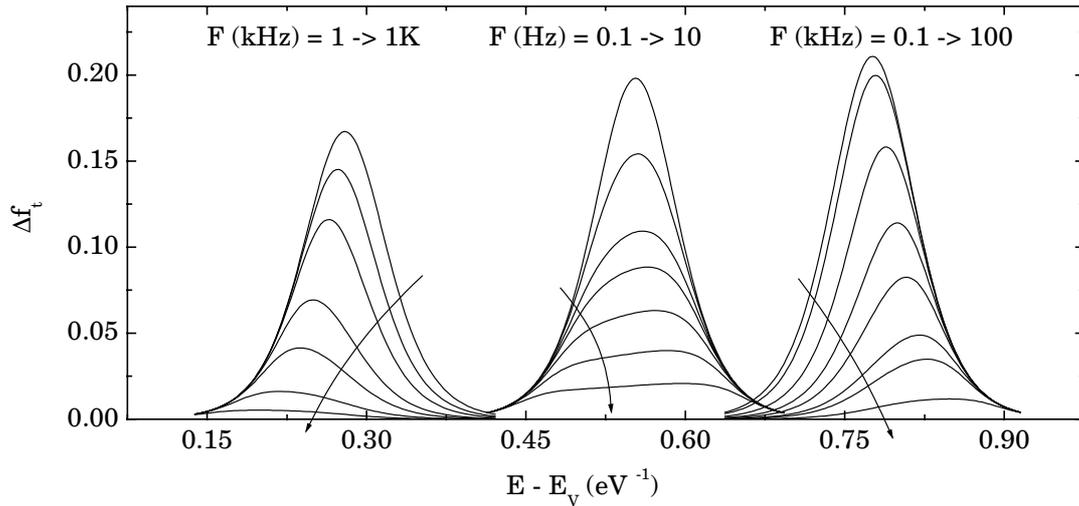


Figure II.12. Variation de la probabilité de remplissage en fonction de la position énergétique des pièges pour trois polarisations statiques du potentiel de grille.

Pour une fréquence relativement faible (1 kHz), les pièges atteignent le régime stationnaire au bout d'une période du signal de grille. Pour une fréquence plus élevée, par exemple 100 kHz, le régime stationnaire est atteint après 10 périodes et pour 1 MHz, il est atteint après 70 périodes (non montré sur la figure (II.11)). L'augmentation de la fréquence du signal induit non seulement une augmentation du nombre de cycles nécessaires à l'obtention du régime stationnaire mais aussi une diminution de l'amplitude de variation de la probabilité de remplissage, Δf_t . Il est en effet très difficile pour un piège présent au niveau d'énergie E_t d'émettre son électron à l'équilibre avec le niveau de Fermi et pour les très hautes fréquences, son état de charge ne change quasiment pas une fois le régime stationnaire atteint. Il est donc logique qu'en fonction de la fréquence, les pièges vont plus ou moins répondre et donc plus ou moins contribuer à la variation de charge piégée ΔQ_{it} . A haute fréquence, le terme C_{it} de l'équation (II.5) devient négligeable.

La variation de f_t (en régime stationnaire) en fonction de la fréquence et de la position énergétique des pièges est illustrée à la figure (II.12) pour trois polarisations statiques du potentiel de grille. Cette figure met en évidence une diminution de Δf_t bien plus rapide, avec la fréquence du signal, pour les pièges présents au milieu de la bande interdite que pour ceux présents en bords de bandes. Cela met à nouveau en évidence la difficulté qu'ont les pièges proches du milieu de la bande interdite à émettre leurs porteurs vers les bandes de conduction ou de valence.

Nous considérons, à présent, la densité de pièges donnée à la figure (II.13.a) faisant apparaître une distribution Gaussienne pour les pièges de types donneur et accepteur. L'impact de ces pièges d'interface sur la courbe C-V d'une capacité MOS à substrat N en fonction de la fréquence est donné à la figure (II.13.b). A très basse fréquence, les pièges sont à l'équilibre avec le niveau de Fermi et répondent pleinement. La déformation de la courbe C-V est alors maximale faisant apparaître deux bosses correspondant à la réponse des pièges de types donneur et accepteur. Lorsque la fréquence augmente, l'amplitude des bosses diminue et leurs sommets se déplacent vers les zones qui correspondent aux régimes d'accumulation et d'inversion forte ce qui rejoint les résultats de la figure (II.12). La variation de l'amplitude des bosses ainsi que le déplacement de leurs localisations en fonction de la fréquence du signal de grille sont directement liés aux valeurs des sections efficaces de capture des électrons et des trous.

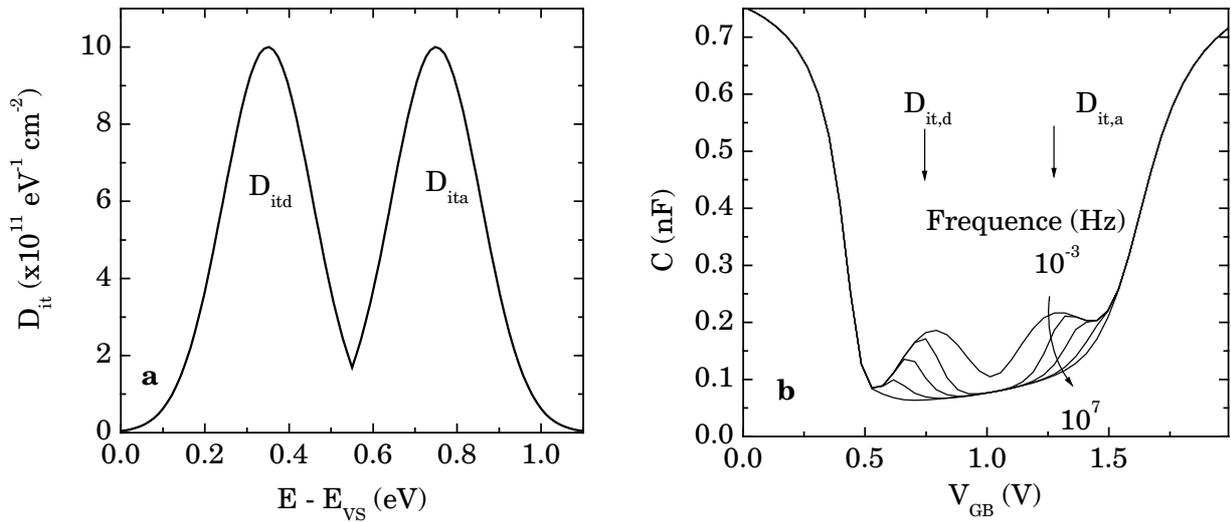


Figure II.13. Résolution énergétique de la densité de pièges dans la BI et impact sur la courbe C-V d'une capacité MOS en fonction de la fréquence [R12].

II.4.4. Caractérisation du système HfSi_xO_y/HfO₂

La figure (II.14) montre la courbe C-V obtenue sur une capacité MIS avec HfO₂ sur substrat de type N. La présence d'une bosse très marquée sur cette courbe C-V et sa dépendance avec la fréquence suggère la présence d'une importante densité de pièges dans la moitié supérieure de la bande interdite (pièges de type accepteur) à l'interface avec l'isolant. La densité de pièges a été déterminée avec notre simulateur par ajustages successifs en considérant que la densité de pièges est obtenue avec la courbe à très basse fréquence (ici 100 Hz) et que la disparition de la bosse est due à la section de capture des électrons. Comme le montre aussi la figure (II.14), les simulations obtenues présentent une très bonne corrélation avec les mesures. La répartition énergétique des pièges est donnée à la figure (II.15) avec comme principales caractéristiques :

- $D_{it-max} = 13.2 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$
- $\sigma_n = 1.5 \times 10^{-17} \text{ cm}^2$

La densité de pièges dans la moitié inférieure de la BI n'est pas accessible avec ce type de capacité qui ne possède pas d'anneau de garde permettant l'apport de porteurs minoritaires (i.e. de trous) nécessaire à la réponse des pièges de type donneur.

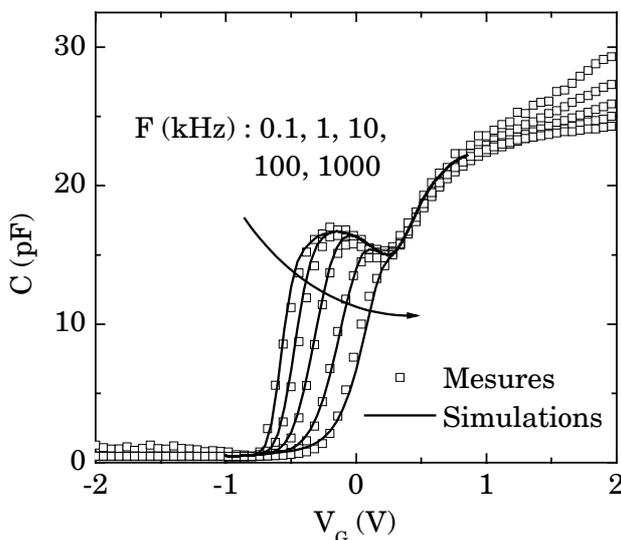


Figure II.14. Comparaison entre mesures et simulations de la courbe C-V d'une capacité MIS à substrat N dont l'isolant de grille est constitué de HfO₂ non recuit [R12].

Nous pouvons remarquer que la densité maximale de piège (D_{it-max}) est 400 fois plus grande que celle obtenue avec un oxyde classique. Si nous faisons l'hypothèse que le HfO_2 n'introduit que des pièges de type accepteur, ce diélectrique est susceptible d'engendrer l'apparitions de phénomènes parasites pour le transistor N-MOS (substrat de type P) tels que : la réduction de la mobilité des électrons, la modification des tensions de seuil et de bandes plates. On peut aussi suspecter la présence d'une importante densité volumique de pièges ce qui induit une importante augmentation du bruit basse fréquence (en $1/f$) par rapport au SiO_2 . Cette importante densité de pièges peut être considérablement réduite par un recuit approprié comme l'ont montré les travaux de Lee et al [Lee'01]. Cela nous fait supposer que le HfO_2 reste un bon candidat pour le remplacement du SiO_2 .

Finalement, il est bon de noter l'existence, entre le HfO_2 et le silicium, d'une couche intermédiaire de composition $HfSi_xO_y$. Donc les caractéristiques des pièges que nous donnons ici correspondent en fait au système $HfSi_xO_y/HfO_2$.

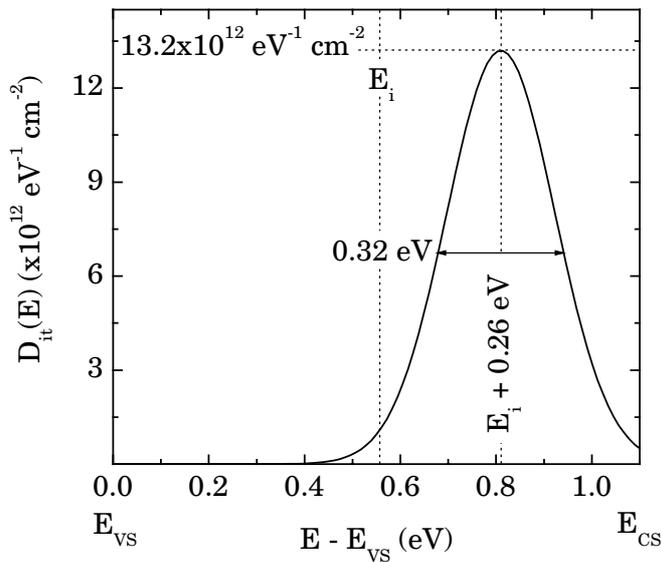


Figure II.15. Distribution en énergie de pièges dans la bande interdite déterminée à partir des courbes C-V de la figure (II.14) [R12].

II.5. Résolution spatiale des charge fixes dans l'isolant après stress

Dans le cadre de la thèse de Sandrine BERNARDINI (et de l'opération oxydes minces de la convention STSI phase 6), nous avons étudié l'impact de la non uniformité d'un certain nombre de paramètres sur l'allure des courbes C-V et I-V des capacités MOS. Nous avons ainsi étudié l'influence d'une répartition spatiale non uniforme de charges fixes (entre le substrat et la grille) sur le courant tunnel qui traverse une capacité MOS. Si on prend comme exemple une mémoire de type EEPROM à l'état vierge, l'isolant de la zone tunnel est de très bonne qualité (ne contient pas de charges parasites) et le courant tunnel qui charge et décharge la grille flottante a une certaine amplitude. Lors du cyclage de cette mémoire (grand nombre d'opérations d'effacement et d'écriture), des électrons sont piégés dans l'isolant tunnel ce qui déforme et augmente la barrière de potentiel que doivent traverser les électrons [Plossu'01]. Ce phénomène est plus connu comme la fermeture de la fenêtre de programmation de la mémoire [Canet'01] et se modélise couramment par une modification des paramètres Fowler-Nordheim (A et B) ou par une modification de la tension de bandes plates en introduisant une densité équivalente de charges situées à une certaine distance de l'interface (notion de centroïde de charges) [Miranda'02]. Contrairement aux travaux de Ku [Ku'94] qui a modélisé l'impact d'une densité spatiale de charges uniforme dans l'isolant (solution analytique de l'équation de Poisson), nous avons choisi de rendre notre travail suffisamment général pour permettre la prise en compte d'une répartition quelconque de charges.

II.5.1. Modélisation de la courbe I-V avec charges fixes

Nous considérons ici une capacité MOS dont les électrodes sont très fortement dopées. En prenant en compte la déplétion de la grille avec le potentiel de surface de grille, Ψ_G , ainsi que la charge de l'isolant vue de l'interface avec le substrat, Q_{oxeff} (charge par unité de surface), l'équation aux potentiels (Eq. (I.19)) s'écrit :

$$V_{\text{GB}} = \Phi_{\text{MS}} - \frac{Q_{\text{oxeff}}}{C_{\text{ox}}} + \Psi_{\text{S}} - \Psi_{\text{G}} - \frac{Q_{\text{SC}}(\Psi_{\text{S}})}{C_{\text{ox}}} \quad (\text{II.6})$$

En donnant à $Q_{\text{ox}}(y)$, entre le substrat et la grille, la dimension d'une charge par unité de volume, la charge vue de l'interface est obtenue en considérant l'équation (I.17) :

$$Q_{\text{oxeff}} = \int_0^{t_{\text{ox}}} \frac{t_{\text{ox}} - y}{t_{\text{ox}}} Q_{\text{ox}}(y) dy \quad (\text{II.7})$$

Pour un potentiel de grille donné, la résolution de l'équation (II.6) permet la détermination du potentiel de surface et donc du potentiel aux bornes de l'oxyde avec :

$$V_{\text{ox}} = - \frac{Q_{\text{SC}} + Q_{\text{oxeff}}}{C_{\text{ox}}} \quad (\text{II.8})$$

On obtient alors la résolution spatiale du potentiel dans l'oxyde, $V(y)$, à partir de la résolution de l'équation de Poisson (méthode des différences finies) avec comme conditions aux limites :

$$\begin{cases} V(y=0) = 0 \\ V(y=t_{\text{ox}}) = V_{\text{ox}} \end{cases} \quad (\text{II.9})$$

On peut alors exprimer la variation de la barrière de potentiel vue par les électrons du substrat :

$$\Phi_{\text{si}} = \begin{cases} \Phi_{\text{bn}} - V(y) & \text{if } \Phi_{\text{bn}} > V(y) \\ 0 & \text{otherwise} \end{cases} \quad (\text{II.10})$$

et par ceux de la grille :

$$\Phi_{\text{poly}} = \begin{cases} \Phi_{\text{bn}} - V(y) + V_{\text{ox}} & \text{if } \Phi_{\text{bn}} > V(y) - V_{\text{ox}} \\ 0 & \text{otherwise} \end{cases} \quad (\text{II.11})$$

On obtient alors très simplement la transparence des électrons (c.f. Eq (I.12)) en fonction de leur lieu d'injection ("si" pour le substrat et "poly" pour la grille) :

$$T_{\text{Esi,poly}} = \exp \left(- 2 \sqrt{\frac{2q m_{\text{nox}}}{\hbar b^2}} \int_0^{t_{\text{ox}}} \sqrt{\Phi_{\text{bsi,poly}}} dy \right) \quad (\text{II.12})$$

et finalement le courant des électrons :

$$I_{\text{si,poly}} = A_{\text{eff}} Q_{\text{nsi,poly}} F_{\text{imp}} T_{\text{Esi,poly}} \quad (\text{II.13})$$

où F_{imp} représente la fréquence d'impact et A_{eff} la surface effective de la capacité.

II.5.2. Effets de la charge fixe sur les courbes I-V

Comme l'indique la figure (II.16.a), nous considérons dans ce paragraphe une densité de charges fixes de type gaussienne centrée dans l'isolant d'une capacité MOS à électrodes fortement dopées. La présence de ces charges induit une déformation du diagramme de bandes de l'isolant (c.f. figure (II.16.b)) que l'on ne peut obtenir qu'à partir de la résolution de l'équation de Poisson dans l'isolant. Ce diagramme est à comparer avec celui obtenu sans cette résolution c'est-à-dire en considérant que le champ électrique est uniforme dans l'isolant. Pour une polarisation positive par exemple (c.f. figure (II.16.b)), on constate que la présence de charges fixes négatives bombe la bande de conduction de l'isolant ce qui implique une barrière de potentiel plus importante à franchir pour les électrons du substrat. La figure (II.16.c) montre la variation de la transparence des électrons en fonction des différentes densités de charges fixes données à la figure (II.16.a). On constate une diminution de la transparence tunnel et par suite du courant tunnel lorsque la densité de charges fixes négatives augmente. A partir des courbes I-V et de l'expression classique du courant Fowler-Nordheim,

$$I_{FN} = A \xi_{ox}^2 \exp(B/\xi_{ox}) \tag{II.14}$$

il est possible de déterminer les variations des paramètres caractéristiques (i.e. A et B) comme le montre la figure (II.17) pour les tensions de grille positives. On observe ainsi une diminution de A et une augmentation de B. Il est évident que les courbes A(Q_{oxeff}) et B(Q_{oxeff}) données à la figure (II.17) ne sont valables que pour les profils de charges que nous avons choisis dans ce paragraphe (gaussiennes centrées) et que ces courbes vont être modifiées si l'on suppose un profil uniforme, de type exponentiel ou aléatoire.

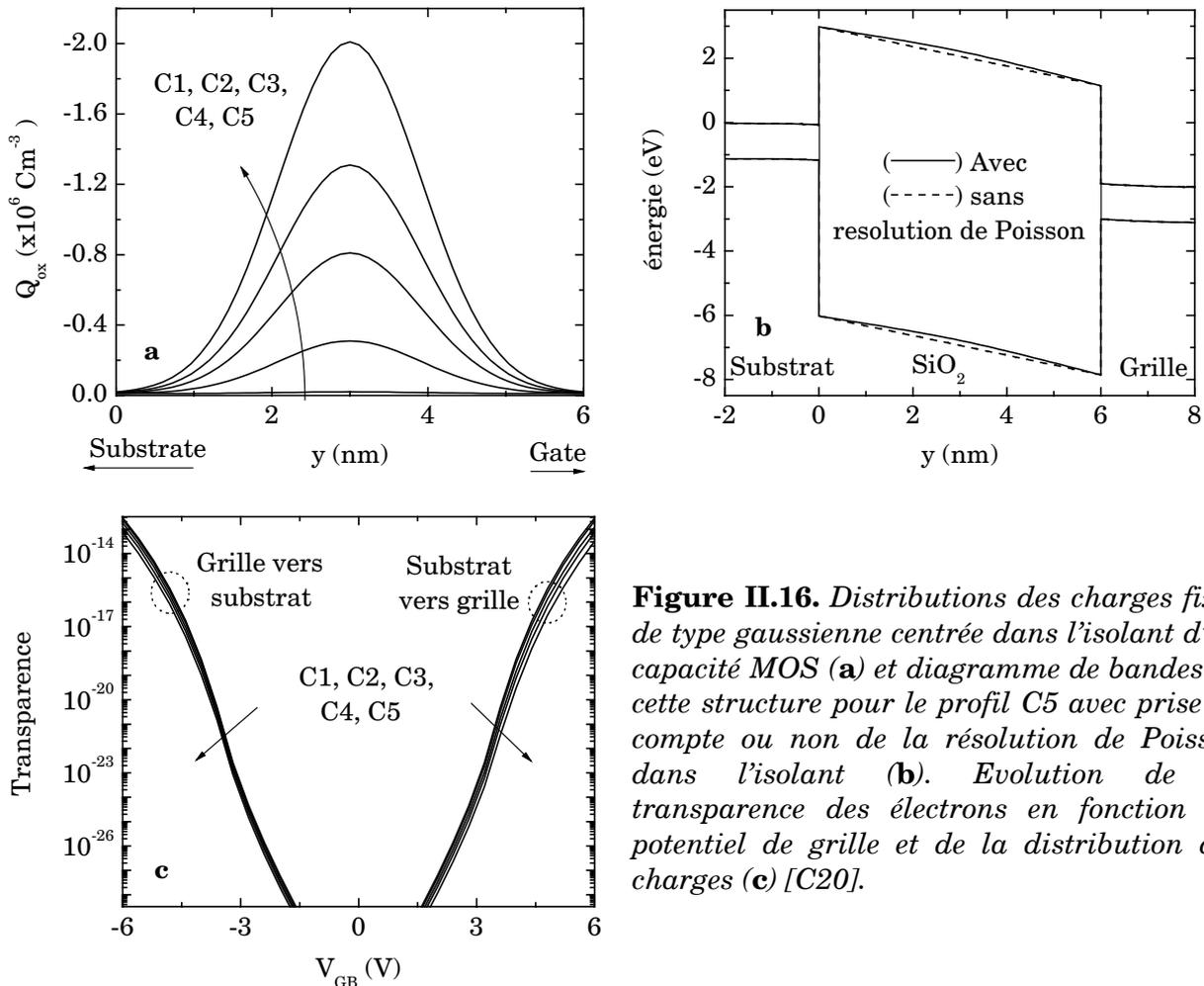


Figure II.16. Distributions des charges fixes de type gaussienne centrée dans l'isolant d'un capacité MOS (a) et diagramme de bandes de cette structure pour le profil C5 avec prise en compte ou non de la résolution de Poisson dans l'isolant (b). Evolution de la transparence des électrons en fonction du potentiel de grille et de la distribution des charges (c) [C20].

Il est aussi très important de remarquer que si l'on place des charges dans l'isolant proche du substrat, elles vont essentiellement modifier la barrière de potentiel proche de l'interface et diminuer l'efficacité de passage des électrons du substrat vers la grille. Par contre, ces charges n'auront qu'un très faible impact sur la transparence des électrons allant de la grille vers le substrat. Il semble donc possible de déterminer la résolution spatiale des charges piégées dans l'isolant au cours d'un stress électrique en analysant simultanément l'évolution des courbes I-V d'une capacité MOS pour les tensions positives et négatives. Nous avons mis en œuvre cette idée sur une capacité de 8.3 nm d'épaisseur d'isolant et présentons les résultats dans le paragraphe suivant.

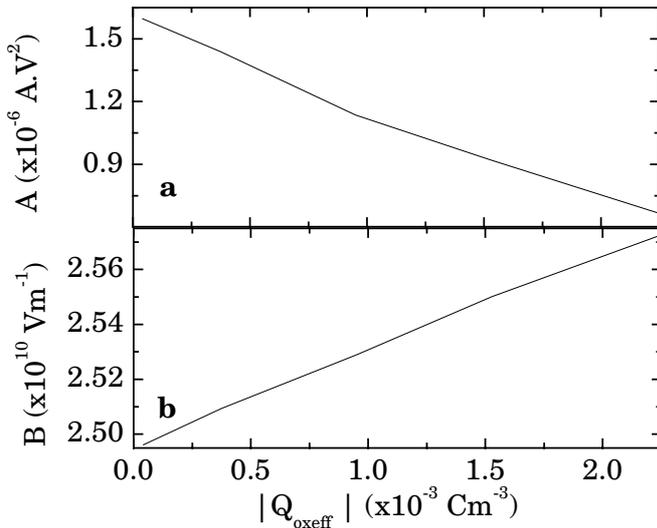


Figure II.17. Diminution du paramètre *A* (a) et augmentation du paramètre *B* (b) du courant Fowler-Nordheim (pour les tensions de grille positives) en fonction de la charge vue de l'interface avec le substrat (i.e. pour les profils allant de C1 à C5) [C20].

II.5.3. Résolution spatiale de la charge fixe après un stress électrique

La figure (II.18) donne l'évolution des caractéristiques I-V obtenues sur une capacité MOS (électrodes fortement dopées) après plusieurs stress à tension positive constante (injection d'électrons du substrat vers la grille sous $V_G = 8.5$ V). Les caractéristiques de cette capacité comme l'épaisseur de grille, la tension de bandes plates et les deux dopages (grille et substrat) ont été déterminés avec les programmes automatiques (sous environnement Mathcad) d'extraction de paramètres développés lors de la première année de thèse de Sandrine BERNARDINI.

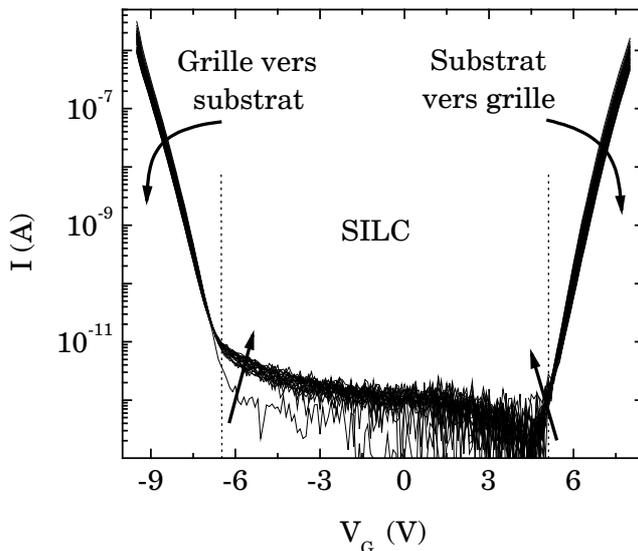


Figure II.18. Evolution de la courbe I-V d'une capacité MOS pour plusieurs stress électriques cumulatifs (à $V_G = 8.5$ V) [C23].

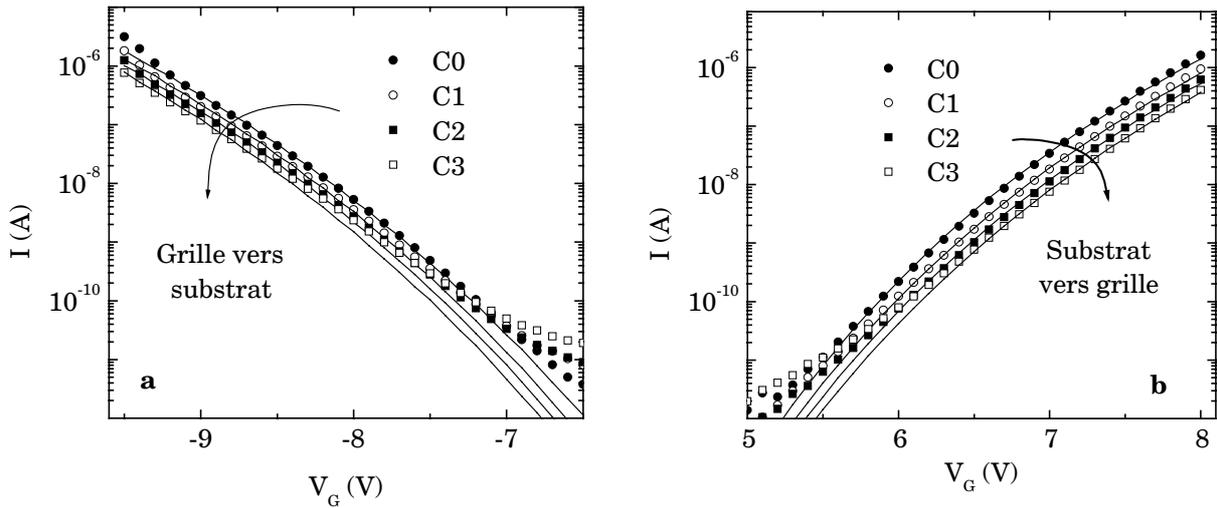


Figure II.19. Comparaison entre mesures et simulations de la caractéristique I-V d'une capacité MOS après plusieurs stress électriques (à polarisation positive constante) pour les tensions négatives (a) et positives (b). C0 correspond à la courbe vierge [C23].

On peut observer que la diminution du courant Fowler-Nordheim est plus prononcée pour les tensions positives que pour les tensions négatives. Cette dissymétrie dans la diminution du courant suggère une répartition non uniforme des charges piégées dans l'isolant avec une concentration plus importante de charges près du substrat. A partir de ces observations, nous avons comparé trois types de répartition dans l'isolant : uniforme, Gaussienne et exponentielle. Comme prévu, une densité uniforme ne permet pas d'obtenir les résultats expérimentaux ce qui confirme l'hypothèse d'une répartition non uniforme. Si on suppose une répartition gaussienne, on obtient une bonne corrélation entre mesures et simulations lorsque le maximum de cette gaussienne est très proche de l'interface. Comme le montre les figures (II.19), le meilleur résultat est obtenu en considérant une répartition de type exponentielle décroissante à partir de l'interface avec le substrat suivant la loi :

$$Q_{ox} = Q_{max} \exp\left(\frac{-y}{\lambda}\right) + Q_{min} \tag{II.15}$$

où λ est une longueur caractéristique.

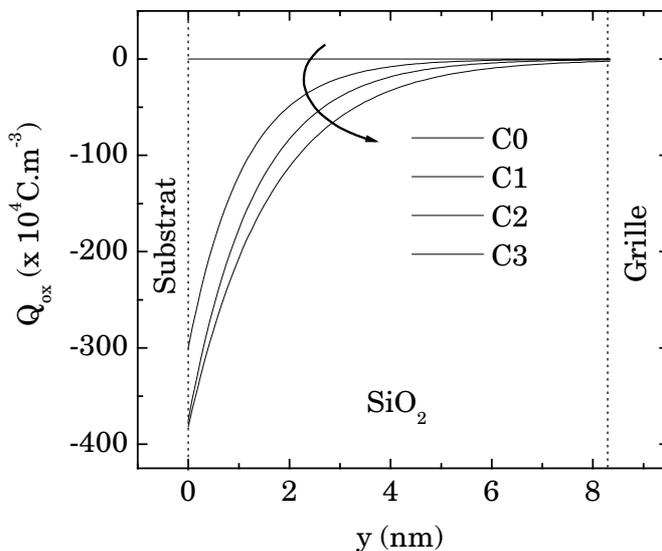


Figure II.20. Evolution de la résolution spatiale de la charge piégée en fonction du temps de stress [C23].

Les courbes $Q_{ox}(y)$ extraites à partir de la comparaison mesures/simulations sont données à la figure (II.20) pour différents temps de stress cumulatifs. Les principaux paramètres de ces courbes sont regroupés au tableau (II.1) ce qui met en évidence l'augmentation de Q_{max} et λ en fonction du temps de stress. Cette augmentation de λ correspond aussi à un mouvement des charges piégées vers l'intérieur de l'isolant pendant le stress électrique. Ce type de répartitions en exponentielles décroissantes ainsi que leurs augmentations en stress ont déjà été observées pour les pièges proches de l'interface par pompage de charge à deux niveaux (signal carré) [Maneglia'99]. Une explication possible pour ce type de distribution est le relâchement d'atomes d'hydrogène due aux impacts des électrons pendant le stress suivi par la génération de défauts de type Si-O-H près de l'interface. Ces défauts sont connus pour être des pièges à électrons en formant des charges SiO⁻ qui peuvent correspondrent aux charges fixes que nous détectons [Nicollian'82]. Si on se réfère à l'équation (I.16), on peut aussi remarquer que la probabilité de trouver un électron à une certaine distance de l'interface est donnée par une exponentielle décroissante (si l'on suppose une barrière trapézoïdale). Cela implique qu'il y a plus d'électrons qui peuvent être piégés près de l'interface que loin de l'interface.

Courbe	Temps de stress (min)	Q_{max} ($\times 10^4 \text{ Cm}^{-3}$)	λ (nm)
C0	0	0	0
C1	16	- 300	1.1
C2	70	- 375	1.325
C3	208	- 382	1.625

Tableau II.1. *Evolution des principaux paramètres de la résolution spatiale de la charge piégée en fonction du temps de stress [C23].*

II.6. Conclusion

Nous avons présenté dans ce chapitre quatre études distinctes qui illustrent notre contribution à l'étude des pièges d'interface et des charges en général dans l'isolant de grille des transistors et des capacités MOS. Ces travaux sont dans la suite directe de nos travaux de thèse portant sur la caractérisation des pièges des isolants de type oxynitride par pompage de charge et mesures de bruit basse fréquence [D3].

Ce chapitre a mis en avant la finesse de la technique de pompage de charge qui permet de déterminer une augmentation locale de la densité de pièges. La mise en œuvre de cette technique couplée à une forte approche théorique permet aussi de déterminer les principaux paramètres d'un piège unique comme sa position énergétique et sa section de capture.

En incluant une partie de nos travaux portant sur la modélisation et la caractérisation des courbes I-V et C-V, nous englobons les thèmes matériaux, caractérisation, mécanismes de dégradation et modélisation du transistor MOS de nos activités de recherche.

Chapitre III : Modélisation du transistor MOS

III.1. Introduction

Ce chapitre est consacré à la modélisation du transistor MOS. Nous discutons tout d'abord de l'impact de la quantification des niveaux d'énergies du semi-conducteur sur les caractéristiques $I_{DS}(V_{GS})$ du transistor. La prise en compte de cet effet parasite induit notamment une augmentation de la tension de seuil par rapport au modèle classique, augmentation qui dépend fortement du dopage du substrat. Le remplissage dynamique des pièges de l'isolant et son effet sur le courant de drain est ensuite étudié. Nos simulateurs permettent de bien reproduire l'allure de la courbe $I_{DS}(V_{GS})$ lors du chargement des pièges présents dans l'isolant bi-couche $\text{Si}_3\text{N}_4\text{-SiO}_2$. Depuis un an et demi et dans le cadre de la thèse de Sandrine BERNARDINI, nos travaux portent sur la modélisation des effets de canaux courts et sur les non-uniformités des paramètres le long du canal. La connaissance et la prise en compte de ces effets sont indispensables au développement de nos simulateurs de dispositifs mémoires.

III.2. Le transistor MOS avec effets quantiques

La réduction des dimensions des dispositifs MOS sur silicium massif se traduit par un amincissement de l'oxyde de grille et par une augmentation du dopage dans le canal. En effet, ces deux conditions permettent de maintenir un certain contrôle des effets canaux courts tout en préservant la valeur de la tension de seuil. Ainsi, la largeur caractéristique de la couche d'inversion ou d'accumulation (courbure des bandes d'énergie) devient comparable à la longueur d'onde associée aux porteurs de charge de la couche, ce qui conduit à l'émergence des effets quantiques. Le code de calcul développé a pour nom DYNAMOS pour sa prise en compte non seulement des effets quantiques mais aussi du remplissage dynamique des pièges présents à l'interface ou dans le volume de l'isolant. L'impact de ces pièges sur le comportement du transistor MOS sera traité dans le prochain paragraphe.

III.2.1. Prise en compte des effets quantiques dans les structures MOS

Schématiquement, nous pouvons considérer que les électrons (ou les trous) sont confinés dans un puits de potentiel à 2 dimensions représenté sur la figure (III.1). Ce confinement perpendiculaire à l'interface Si-SiO₂ implique une quantification des niveaux d'énergie permis pour les porteurs [Ando'82].

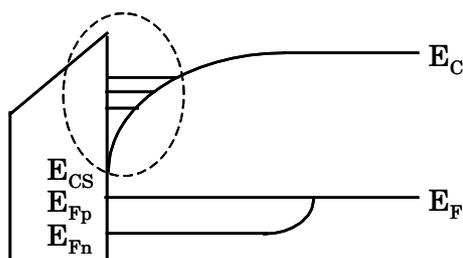


Figure III.1. Quantification des niveaux d'énergie à l'interface due au confinement des porteurs.

La statistique classique de Fermi-Dirac pour un gaz tridimensionnel d'électrons n'est plus valable pour modéliser ce phénomène. Il est nécessaire de faire appel à des équations issues de la mécanique quantique. L'approche la plus rigoureuse consiste à résoudre simultanément les équations de Poisson et de Schrödinger, rappelées ci-dessous. Celles-ci décrivent respectivement la courbure des bandes et la répartition des niveaux d'énergie pour chaque type de porteurs.

$$\frac{\partial}{\partial y} \left(\epsilon(y) \frac{\partial}{\partial y} \right) \Psi(y) = -\frac{q}{\epsilon_0} [p(y) - n(y) - N_A(y)] \quad (\text{III.1})$$

$$-\frac{\hbar^2}{2} \frac{\partial}{\partial y} \left(\frac{1}{m^*(y)} \frac{\partial}{\partial y} \right) \zeta_{ij}(y) + V(y) \Psi_{ij}(y) = E_{ij} \zeta_{ij}(y) \quad (\text{III.2})$$

où les indices i et j correspondent respectivement aux numéros de la sous-bande et de la vallée du semi-conducteur, ζ est la fonction d'onde et V est l'énergie potentielle (reliée à la courbure des bandes).

Finalement, la charge de la couche d'inversion est donnée par :

$$Q_n = \frac{kT}{\pi \hbar^2} \sum_j d_j m_{dj}^* \times \sum_i \ln \left(1 + \exp \left(\frac{E_F - E_{ij}}{kT} \right) \right) \quad (\text{III.3})$$

Pour le calcul du courant de drain du transistor MOS, nous avons utilisé le modèle de Pao et Sah en introduisant l'écart entre les quasi-niveaux de Fermi dans les équations allant de (III.1) à (III.3). Le calcul de la charge Q_n pour plusieurs valeurs de Φ_C comprises entre V_{SB} et V_{DB} permet d'évaluer le courant de drain avec l'équation (I.17) comme expliqué au paragraphe (I.2).

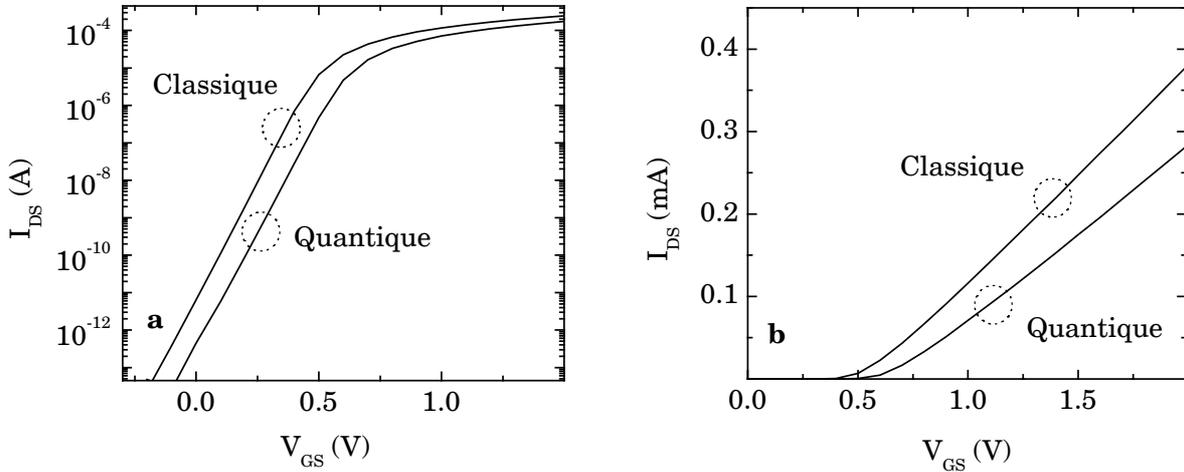


Figure III.2. Modification de la courbe $I_{DS}(V_{GS})$ sous le seuil (a) ou en inversion forte (b) lorsque les effets quantiques sont pris en compte [R10].

III.2.2. Modification du courant du transistor

Les figures (III.2.a) et (III.2.b) montrent la caractéristique $I_{DS}(V_{GS})$ d'un transistor de type N ($L = 1 \mu\text{m}$) obtenue avec DYMAMOS. On constate que la prise en compte des effets quantiques dans les simulations conduit à une augmentation de la tension de seuil et à un ralentissement de l'augmentation du courant de drain avec la tension de grille en inversion forte. Pour un V_{GS} donné, le courant est plus faible lorsque les effets quantiques sont pris en compte en comparaison avec le cas classique qui sur-estime la charge d'inversion.

III.2.3. Modification des principales caractéristiques

Soit V_{TQ} et V_{TC} les différentes tensions de seuil relatives à la prise en compte ou non des effets quantiques. La variation de la tension de seuil en fonction de l'épaisseur de grille est donnée à la figure (III.3.a). La linéarité de cette courbe dans le cas classique est en accord avec l'équation du premier ordre de V_{TC} .

$$V_{TC} = \Phi_{MS} + 2\Phi_F + \frac{\sqrt{2qN_A\epsilon_{Si}}}{C_{ox}} (2\Phi_F)^{1/2} \quad (III.4)$$

On peut aussi observer que cette linéarité est conservée lorsque les effets quantiques sont pris en compte mais avec une pente légèrement différente résultant de l'impact du centroïde de la couche d'inversion sur l'épaisseur effective d'isolant. La variation de la tension de seuil en fonction du dopage du substrat est donnée à la figure (III.3.b). On observe une plus forte augmentation de la tension de seuil pour la prise en compte des effets quantiques.

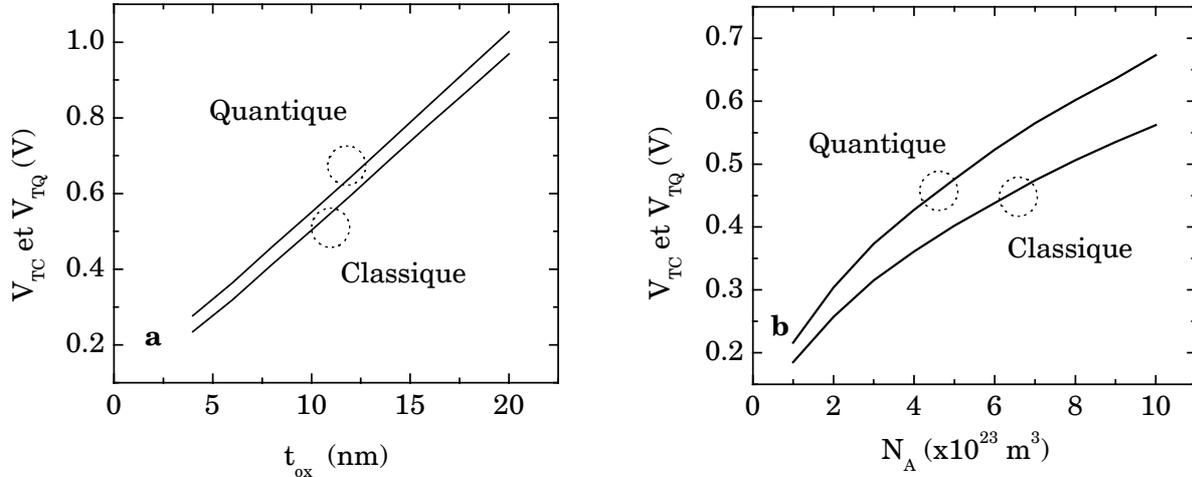


Figure III.3. Evolution de la tension de seuil du transistor en fonction de l'épaisseur d'isolant pour $N_A = 10^{23} m^{-3}$ (a) et en fonction du dopage du substrat pour $t_{ox} = 3nm$ (b) avec ou sans prise en compte des effets quantiques [R10].

Les figures (III.4.a) et (III.4.b) montrent le faible impact sur la pente sous le seuil de la prise en compte ou non des effets quantiques en fonction de l'épaisseur de l'isolant de grille et du dopage du substrat. En conséquence, la méthode de Van Overstraeten [Van'73] qui permet la détermination du dopage du substrat à partir de la pente sous le seuil (hors présence de pièges d'interface) reste toujours valable même en présence d'effets quantiques. Rappelons que la pente sous le seuil est liée au dopage du substrat par la relation :

$$S = \frac{1}{\beta} \left[1 + \frac{1}{C_{ox}} \sqrt{\frac{q^2 \epsilon_{Si} N_A}{2kT}} (1.5\beta\Phi_F - 1)^{-1/2} \right] \quad (III.5)$$

On peut aussi remarquer que la diminution de la croissance de la courbe $I_{DS}(V_{GS})$ présentée à la figure (III.3.b) peut être attribuée à une diminution apparente de la mobilité des porteurs lorsque les effets quantiques sont présents. En nous référant au modèle simple décrivant le courant de drain en inversion forte (avant saturation) :

$$I_{DS} = \frac{W}{L} \mu_0 C_{ox} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] V_{DS} \quad (III.6)$$

nous avons déterminé une mobilité des porteurs de 20 % inférieure à celle implémentée.

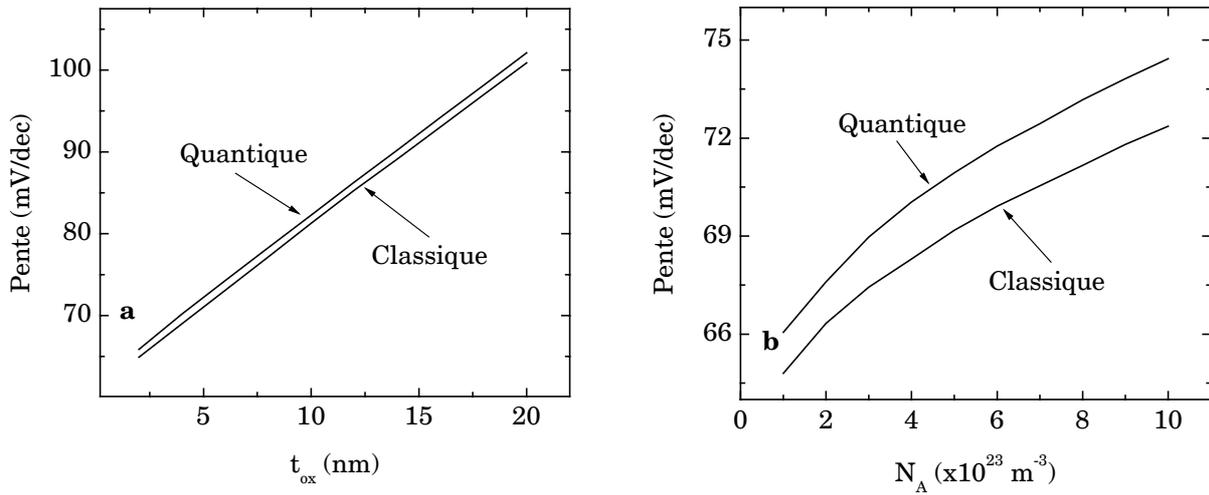


Figure III.4. Evolution de la pente sous le seuil du transistor en fonction de l'épaisseur d'isolant pour $N_A = 10^{23} m^{-3}$ (a) et en fonction du dopage du substrat pour $t_{ox} = 3nm$ (b) avec ou sans prise en compte des effets quantiques [R10].

Nous avons comparé les résultats de notre simulateur avec ceux obtenus avec le logiciel SILVACO [R10]. Pour ce logiciel, les effets quantiques sont pris en compte par le modèle de Van-Dort qui considère une modification de la largeur de la bande interdite du semi-conducteur [Van-Dort'94]. Le code DYNAMOS s'est alors avéré utile pour le calibrage de ce modèle.

III.3. Effet du remplissage dynamique des pièges

Notre travail sur la caractérisation des défauts électriquement actifs et sur la modélisation du transistor MOS nous a naturellement amené à considérer l'impact des pièges sur le courant de drain et la transconductance en régimes statique et dynamique.

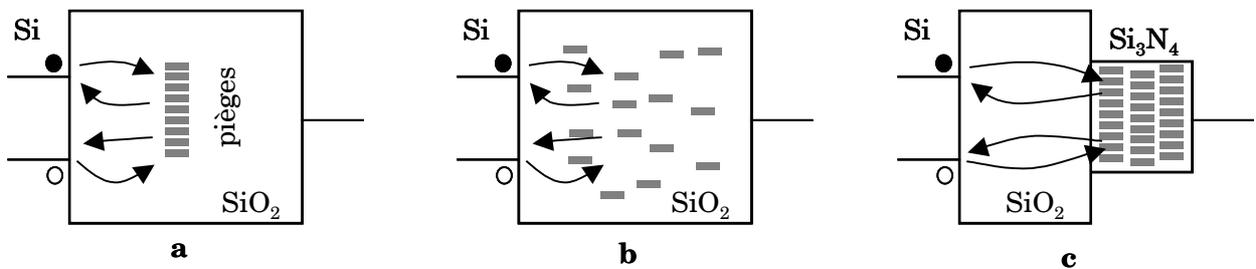


Figure III.5. Piégeage et dé-piégeage des électrons et des trous pour un plan (a) ou une répartition quelconque de pièges dans le SiO₂ (b) ainsi que pour un isolant de type ON (c).

Cette partie de notre recherche a surtout donné lieu à la réalisation de simulateurs plus ou moins complexes destinés à quantifier l'impact de la présence de pièges électriquement actifs sur le courant de drain du transistor MOS en fonction de leur distance à l'interface. La figure (III.5) présente la localisation non exhaustive des pièges que nous avons considéré pour nos simulations.

III.3.1. Présentation de la démarche de simulation

Les différents simulateurs sont basés sur la résolution imbriquée des équations (I.6), (I.14), (I.18) et (I.22) en fonction de la complexité recherchée. Nous présentons ici l'algorithme du simulateur DYNAMOS pour sa partie remplissage des pièges.

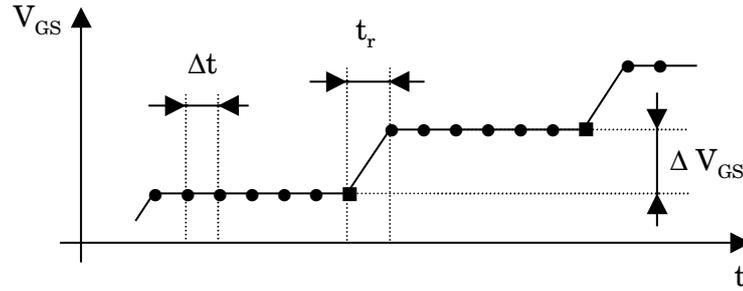


Figure III.6. Définition du signal de grille faisant apparaître les points de calculs de la charge des pièges Q_{it} (● et ■) et du courant de drain I_{DS} (■) [R10].

Le modèle de courant de drain utilisé est valable sans discontinuité de l'inversion faible à l'inversion forte avant saturation c'est-à-dire pour une tension de drain, V_{DS} , inférieure à environ 0.5 V ou en saturation pour les transistors à canaux longs. Les caractéristiques du simulateur sont les suivantes :

- Paramétrage des principales caractéristiques du transistor (W , L , t_{ox} , $N_A...$).
- Tension de grille en forme de paliers avec possibilité d'aller et retour. Paramétrage des tensions V_{Gmin} et V_{Gmax} , du temps sur chaque palier, du temps de montée et enfin du pas de tension.
- Paramétrage des caractéristiques des pièges : sections de captures des électrons et des trous (σ_n et σ_p), position spatiale dans l'isolant. On peut considérer soit que tous les pièges sont localisés à un niveau d'énergie E_t dans la bande interdite du semi-conducteur (nombre de piège par cm^2) soit que ces pièges sont présents dans toute la bande interdite (nombre de pièges par eV et par cm^2).

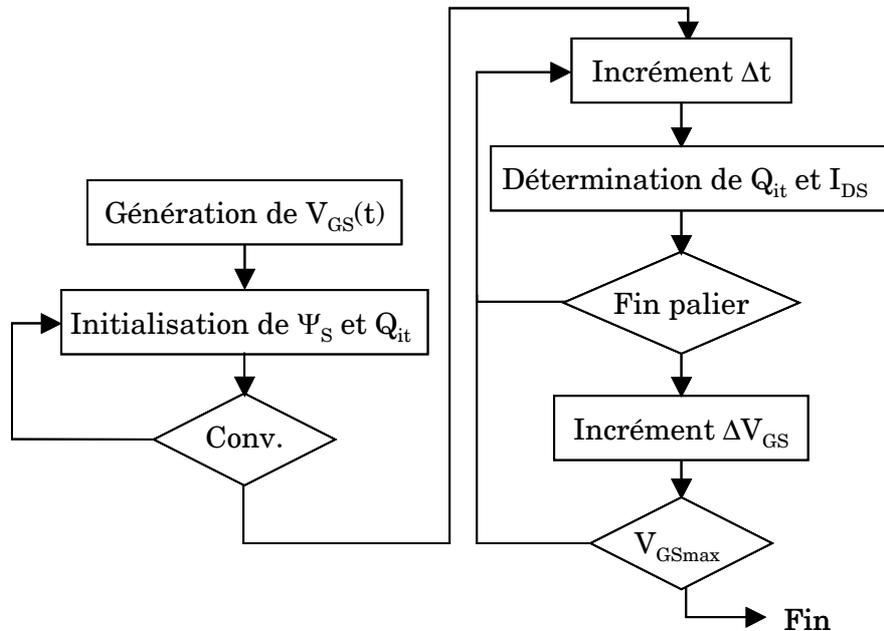


Figure III.7. Organigramme illustrant la démarche suivie par le code DYNAMOS 1.0 pour calculer le courant de drain du transistor [R10].

La tension de grille est représentée à la figure (III.6). Chaque palier est décomposé en petits éléments de temps, Δt , afin de calculer l'évolution de la charge dans les pièges. La valeur du courant, donnée par le programme (pour un V_{GS} donné), correspond au dernier point du palier.

L'organigramme simplifié du code DYNAMOS 1.0, développé en FORTRAN, est présenté à la figure (III.7). A l'état initial, on ne sait pas quelle est la probabilité de remplissage des pièges et nous faisons l'hypothèse (plus ou moins vraie) que ces pièges sont à l'équilibre avec le niveau de Fermi pour la tension $V_{G_{smin}}$. C'est pour cela que la première partie de la procédure est destinée, par une méthode itérative, à la détermination de la charge initiale des pièges. Il est à noter que la forme du signal peut être modifiée afin d'obtenir une rampe de tension ou de prendre un pas temporel logarithmique afin de suivre l'état de charge des pièges en rétention. Tous ces raffinements ne modifient en rien l'algorithme de résolution de charges piégées dans la structure MOS.

III.3.2. Chargement d'un plan de pièges

Un des buts de ce travail, réalisé en collaboration avec le CEA/LETI, fut de comparer le comportement des mémoires à nodules avec celui des mémoires à pièges ou plus précisément de comparer le phénomène de chargement/déchargement d'un nodule avec celui d'un piège. Un paragraphe du prochain chapitre étant entièrement consacré aux mémoires à nodules, nous ne développons ici que l'impact des pièges sur la caractéristique en courant du transistor MOS.

Considérons un plan de pièges (uniformément répartis en énergie) situé à 2 nm de l'interface d'une structure MOS de 6 nm d'épaisseur d'oxyde. On applique à cette structure, initialement polarisée en régime d'accumulation ($V_{GB} = -2V$), un signal de grille en forme de rampe avec un aller et un retour. La figure (III.8.a) donne l'évolution de la probabilité d'occupation des pièges situés à $E_t = 1.08$ eV en fonction du temps passé sur chaque palier du signal de grille. Durant la montée du signal, les pièges se chargent lorsque la tension de grille dépasse plus ou moins la tension de seuil, V_{th} . Ce phénomène de chargement est fortement dépendant du temps de palier : plus ce temps est court, plus la tension de grille doit être importante pour obtenir le chargement des pièges. Lors de la descente du signal, les pièges tendent à rester à l'équilibre avec le niveau de Fermi et émettent leurs électrons ou capturent des trous en fonction du temps de palier.

La figure (III.8.b) donne l'évolution de la charge piégée normalisée en fonction de la section de capture des électrons que l'on suppose égale à celle des trous. On peut clairement distinguer quatre zones :

- 1) émission de trous pour les pièges proches de la bande de valence,
- 2) capture d'électrons pour les pièges encore vides lorsque la structure est polarisée en régime d'inversion forte,
- 3) émission d'électrons pour les pièges proches de la bande de conduction,
- 4) capture de trous pour les pièges encore pleins lorsque la structure bascule en régime d'accumulation.

Une grande section de capture permet aux pièges d'émettre plus facilement les trous (ou les électrons) ce qui s'observe par une valeur plus importante de Q_{it} dans la zone (1). On peut aussi remarquer que la croissance de Q_{it} est moins rapide lorsque qu'elle se produit bien après V_{th} (évolution lente du potentiel de surface en régime d'inversion forte).

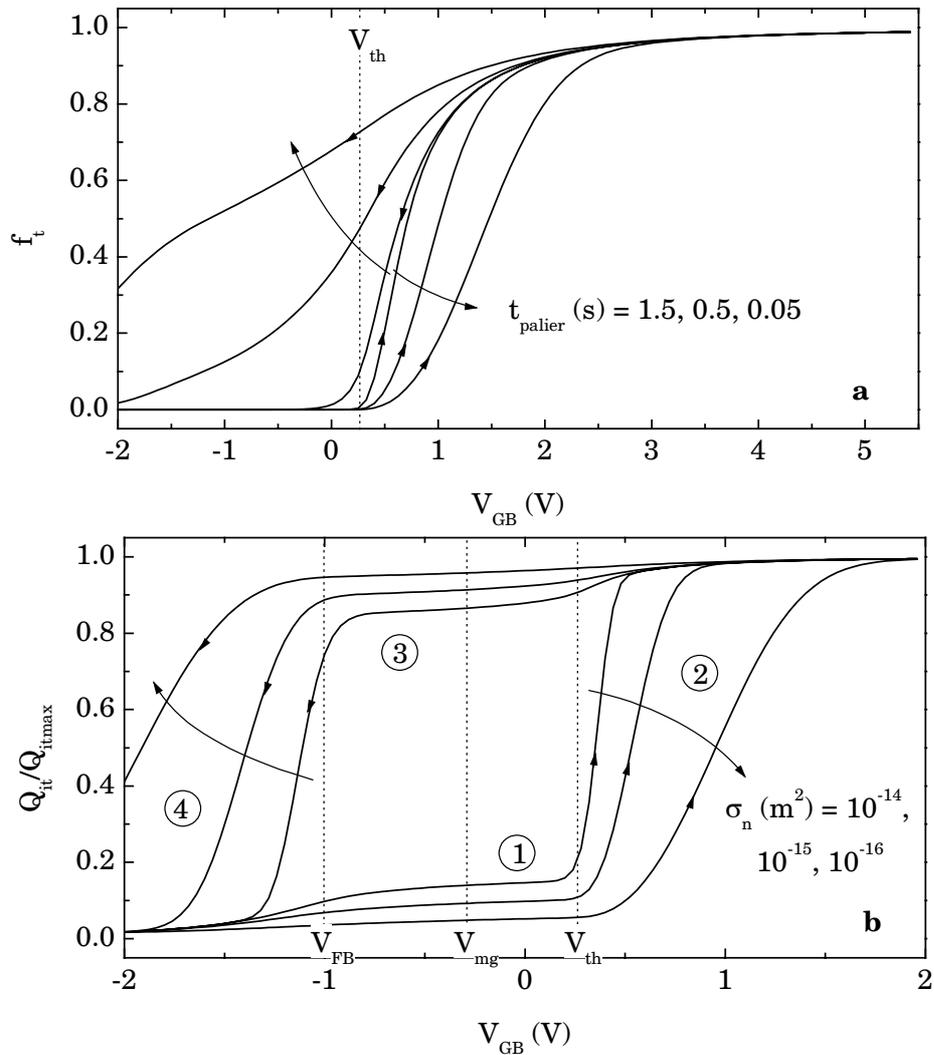


Figure III.8. Evolution pendant un aller-retour du signal de grille de la probabilité d'occupation d'un piège situé à $E_t = 1.08$ eV (a) et de la charge piégée normalisée pour $t_{\text{palier}} = 0.1$ s (b) en fonction de la section de capture des électrons. Les paramètres de la structure MOS et du signal appliqué sur la grille choisis pour la simulation sous "Mathcad" sont : $t_{ox} = 6$ nm, $N_A = 2 \times 10^{23} m^{-3}$, $\Phi_F = 0.424$ eV, $V_{FB} = -1$ V, $V_{mg} = -0.285$ V, $V_{th} = 0.132$ V, $E_i - q\Phi_F = 0.126$ eV, $E_i + q\Phi_F = 0.974$ eV, $V_{G_{bmin}} = -2$ V, $V_{G_{bmax}} = 5.5$ V, $\Delta V_{GB} = 75$ mV, $t_{montée} = 50$ ns, $y = 2$ nm.

La figure (III.9) donne l'évolution de la transconductance d'un transistor MOS durant un aller-retour du signal de grille en fonction de la densité de pièges situés à 2 nm de l'interface. Un changement rapide du courant de drain, et par conséquent une bosse sur la transconductance, durant la montée du signal de grille indique le chargement relativement "rapide" des pièges pendant le régime d'inversion forte. Durant la descente du signal de grille, nous n'observons pas de bosse sur la transconductance mais uniquement un décalage de la tension de seuil puisque les pièges n'arrivent pas à se vider à l'équilibre avec le niveau de Fermi [R8]. Ils se videront une fois le régime d'accumulation atteint ce qui ne sera pas observable sur la transconductance. Il faut aussi noter que l'amplitude de la bosse (à vitesse de rampe donnée) est dépendante de la densité de pièges tout comme la variation de tension de seuil. La non présence de cette bosse durant la descente du signal de grille ne correspond absolument pas au comportement des mémoires à dots ce qui nous a permis, entre autres, de conclure que les dots ne se comportent pas comme des pièges ("trap-like behaviour") mais comme des grilles flottantes ("floating-gate like behaviour") [C9].

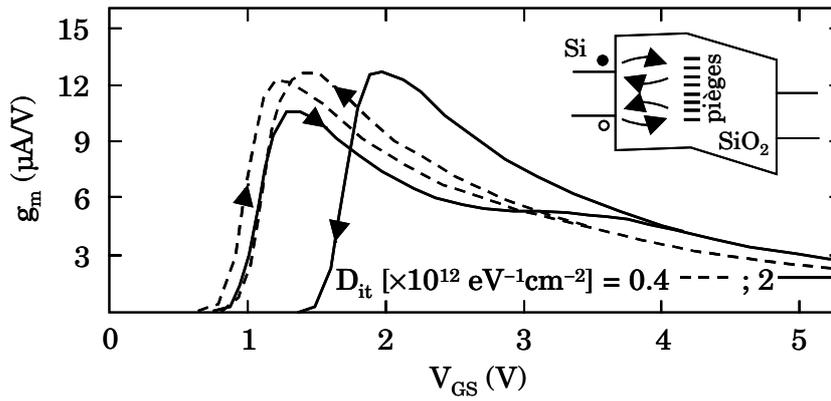


Figure III.9. Simulation de la transconductance d'un transistor ayant un plan de pièges à 2 nm de l'interface en fonction de la densité de ces pièges. Les paramètres de la structure MOS et du signal appliqué sur la grille choisis pour la simulation sous "Mathcad" sont : $t_{ox} = 9 \text{ nm}$, $V_{DS} = 100 \text{ mV}$, $W = L = 10 \text{ }\mu\text{m}$ [R8].

On peut aussi supposer que ce comportement doit être détecté sur la réponse électrique des transistors MOS à double isolant (SiO_2 -high κ) dont l'interface (entre les deux isolants) peut présenter une forte densité de pièges [R10]. Bien que réalisée à partir du modèle ohmique avec $V_{DS} = 100 \text{ mV}$ (donc bien au dessus de la limite acceptable), la simulation de la figure (III.9) reste suffisante pour prévoir l'impact d'un plan de pièges loin de l'interface. Notons finalement que la distance des pièges par rapport à l'interface a une très grande importance sur l'apparition de la bosse puisque la section de capture de ces pièges dépend exponentiellement de cette distance (c.f. Eq. I.15) : plus les pièges sont éloignés de l'interface, plus leur réponse est lente.

III.3.3. Chargement d'un continuum spatial de pièges

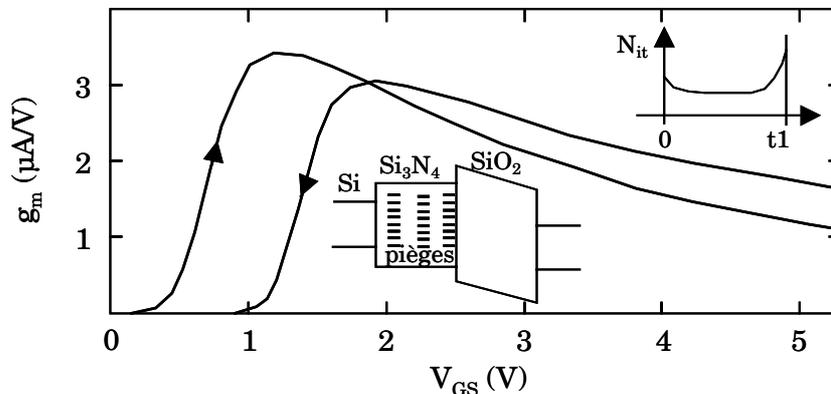


Figure III.10. Simulation de la transconductance d'un transistor ayant un isolant de type ON, le nitrure étant en contact avec le substrat. Les paramètres de la structure MOS sont : $t_{ox} = 9 \text{ nm}$ dont 2 de Si_3N_4 , $V_{DS} = 100 \text{ mV}$, $W = L = 10 \text{ }\mu\text{m}$ [R8].

Les équations utilisées dans nos simulateurs pouvant s'appliquer à une densité et à une répartition quelconques de pièges, il est possible de visualiser la déformation de la transconductance induite par la présence en volume de pièges dans le nitrure d'un transistor à isolant ON. C'est ce que montre la figure (III.10) en supposant que la densité volumique de pièges a une forme de U avec plus de pièges aux interfaces comme le montre l'incère (t_1 correspond à l'épaisseur de nitrure). Contrairement au plan de pièges, la répartition spatiale n'implique pas la présence d'une bosse sur la transconductance puisque le chargement de l'isolant se fait progressivement en raison de l'étalement temporel des

constantes de temps associées aux pièges. Le maximum de la transconductance est plus faible pour la descente du signal que pour la montée car nous avons introduit dans la mobilité l'influence électrostatique de la charge piégée suivant le modèle de Sun et Plummer [Sun'80]. L'allure de la transconductance simulée est très proche de celle mesurée sur silicium comme le montre la figure (III.11). Lors de ce travail, nous n'avons pas cherché à caractériser les paramètres de ces transistors comme la densité de pièges ou la variation de la mobilité avec la charge piégée... mais juste à vérifier et interpréter les résultats obtenus sur les mémoires à nodules avec ou sans Si_3N_4 .

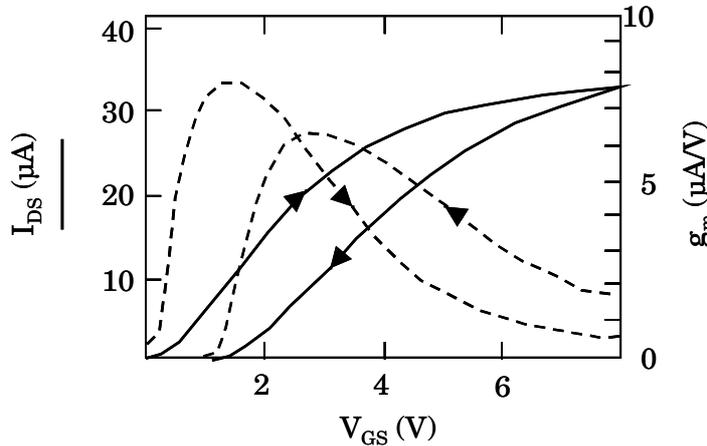


Figure III.11. Mesure du courant de drain et transconductance d'un transistor MOS ayant un isolant de type ON : 2.5 nm de Si_3N_4 et 7 nm de SiO_2 . Le nitrure étant en contact avec le substrat [R8].

Nous considérons, à présent, un transistor dont l'isolant est constitué d'une tri-couche : SiO_2 (2 nm)- Al_2O_3 (1 nm)- SiO_2 (8 nm). La variation de la tension de seuil est donnée à la figure (III.12.a) en fonction du temps d'écriture et de la tension de grille appliquée. Pour $V_{\text{GB}} = 7$ V, on constate que plus le temps d'écriture est grand, plus la variation de V_{th} est importante ce qui est normal puisqu'on laisse plus de temps aux pièges de la couche Al_2O_3 pour se charger. On peut aussi diminuer le temps d'écriture du transistor en augmentant la tension de grille, ce qui accroît la densité d'électrons à l'interface ainsi que la courbure des bandes de l'isolant et donc augmente la probabilité de capturer des porteurs. En supposant que la couche d' Al_2O_3 reste très fine, nous avons simulé la variation de la tension de seuil en fonction de la section de capture des pièges (et du temps d'écriture) en respectant la variation maximale de la tension de seuil (ajustage de la densité de pièges). Le résultat est donné à la figure (III.12.b). Bien que cette approche corresponde à l'utilisation d'un plan de pièges, elle permet néanmoins de donner une estimation de la section de capture des pièges de l' Al_2O_3 en comparant les temps pour lesquels la tension de seuil commence à croître. Nous trouvons ainsi une section de capture approximativement égale à 10^{-17} cm^2 .

L'utilisation d'un continuum spatial de pièges dans l' Al_2O_3 doit rendre la croissance de V_{th} moins rapide (étalement des temps de capture) pour se rapprocher de la mesure.

Dans le cadre de la thèse de Sandrine BERNARDINI, nous avons aussi cherché à vérifier le modèle de SUN et PLUMMER en chargeant plus ou moins la couche de Al_2O_3 et en mesurant les variations de la tension de seuil et de la mobilité. Bien que l'on ait observé une grande sensibilité de la mobilité vis-à-vis de la charge piégée, avec la possibilité de revenir à la mobilité initiale (en enlevant les charges), l'allure des courbes $\Delta\mu_0 = f(\Delta Q_{\text{ox}})$ ne nous a pas permis de confirmer le modèle de mobilité. Cela laisse en suspend la pertinence de l'utilisation de cette loi que nous avons déjà soulevé lors de nos travaux de thèse portant sur le bruit basse fréquence dans les transistors MOS.

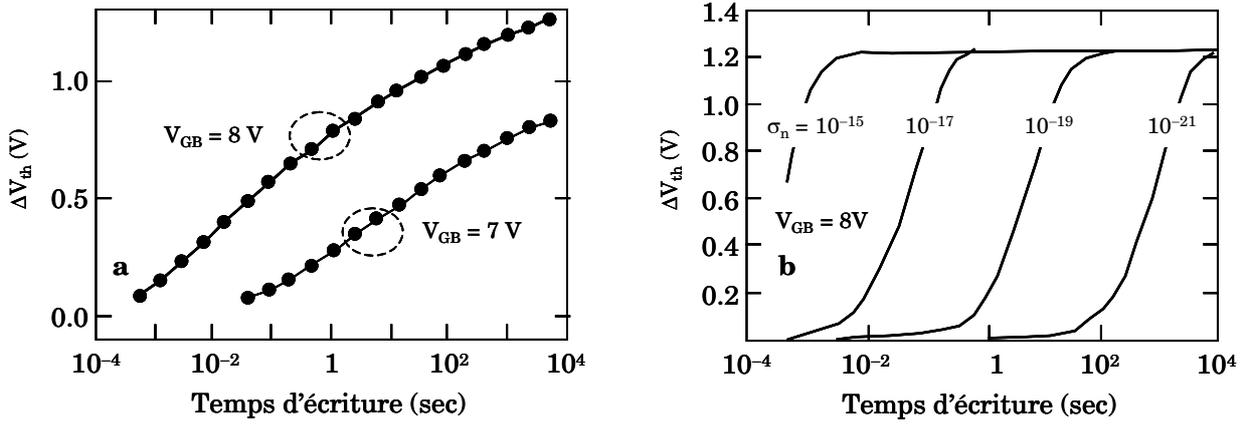


Figure III.12. Mesure de la variation de la tension de seuil d'un transistor tri-couche ($\text{SiO}_2\text{-Al}_2\text{O}_3\text{-SiO}_2$) en fonction du temps d'écriture et de la tension de grille (a). Simulation de la tension de seuil en ne considérant qu'un plan de pièges à l'interface ($\text{SiO}_2\text{-Al}_2\text{O}_3$) pour plusieurs sections de capture (exprimée en cm^2) (b) [C11].

III.3.4. Prise en compte des effets quantiques

L'intégration de l'activité électrique des pièges dans le code de calcul DYNAMOS a nécessité l'adaptation des équations liées au piégeage/dépiégeage et au calcul quantique de la couche d'inversion. Contrairement à la théorie classique, nous ne disposons pas de la densité volumique d'électrons à l'interface pour calculer la probabilité de capturer un électron (c.f. paragraphe I.2) mais de la quantité d'électrons par unité de surface sur chaque niveau d'énergie. Nous ne devons plus considérer la vitesse thermique des porteurs mais la fréquence d'impact, f_{ij} , sur la barrière (i.e. l'isolant de grille) et nous écrivons [R10] :

$$c_n = \sigma_n \sum_j \sum_i \tilde{n}_{ij} f_{ij} \quad (\text{III.7})$$

Cette fréquence d'impact peut être approximée par [Suñé'00] :

$$f_{ij} = \frac{E_{ij}}{i\pi\hbar} \quad (\text{III.8})$$

Si les pièges considérés ne sont plus à l'interface avec l'isolant mais dans le volume de l'isolant, l'équation (III.7) devient :

$$c_n = \sigma_n \sum_j \sum_i \tilde{n}_{ij} f_{ij} T_{nij} \quad (\text{III.9})$$

où T_{nij} représente la probabilité de passage d'un électron par effet tunnel :

$$T_{ij} = \exp \left[- \frac{4}{3} \frac{\left(2m_{\text{ox}}^* \right)^{\frac{1}{2}}}{q\hbar} \frac{\Phi_{b,ij} \frac{3}{2} - \left(\Phi_{b,ij} - qV_{\text{ox}} \right) \frac{3}{2}}{\xi_{\text{ox}}} \right] \quad (\text{III.10})$$

La probabilité d'émettre un électron vers la bande de conduction s'écrit :

$$e_n = \exp\left(\frac{E_{teff} - E_F}{kT}\right) \sigma_n \sum_j \sum_i n_{ij} f_{ij} T_{ij} \quad (III.11)$$

III.4. Discontinuité des paramètres le long du canal et fuite de grille

Certaines architectures de mémoire sont basées sur le chargement non uniforme de l'isolant du transistor, la charge stockée peut être plus importante près du drain par exemple. Il existe donc une variation de la tension de bandes plates entre le drain et la source du transistor. Les modélisations de type Pao et Sah et en Feuillet ne prennent pas en compte ce type de non uniformité dans le développement de l'expression du courant de drain. Lors de nos travaux de recherche sur les mémoires à nano-cristaux de silicium, nous avons cherché à surmonter cette difficulté. Dans le cadre des thèses de Fabien GILIBERT et de Sandrine BERNARDINI, ce travail a été étendu au cas des transistors MOS présentant un courant tunnel de grille très important.

III.4.1. Découpage du transistor

Comme le suggère l'équation (I.18), le transistor MOS peut être assimilé à la mise en série de transistors de longueurs plus petites. On peut alors considérer qu'un transistor de longueur L peut être découpé en N transistors élémentaires de longueur L/N . Comme le montre la figure (III.13), l'écart entre les niveaux de Fermi, noté Φ_{C0} au niveau de la source ($= V_{SB}$) et Φ_{CN} au niveau du drain ($= V_{DB}$), va se répartir sur chaque transistor élémentaire. Pour connaître le courant de drain du transistor MOS, il faut résoudre un système de N équations à $N-1$ inconnues que sont les Φ_C . Ce problème est usuellement résolu par l'utilisation d'algorithmes compliqués faisant intervenir des matrices [Wang'95] ou en utilisant des algorithmes propres au logiciel de simulation utilisé.

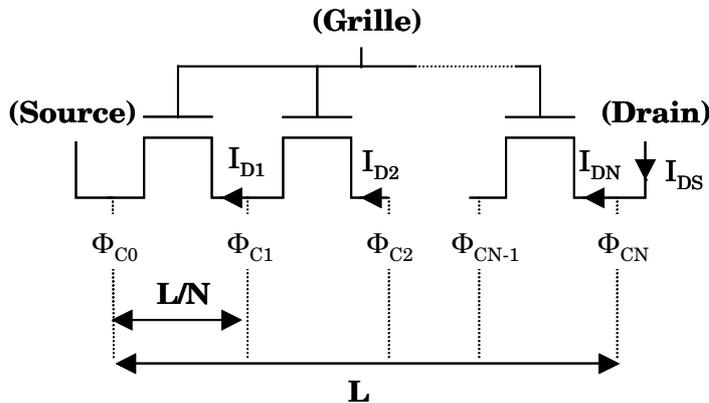


Figure III.13. Segmentation du transistor MOS et variation de l'écart entre les niveaux de Fermi d'un transistor à l'autre [C19].

Afin de rendre transférable nos simulateurs dans n'importe quel langage de simulation et de simplifier la méthode de calcul, nous faisons la remarque que chaque transistor élémentaire est assimilable à une résistance. Cette remarque rend intuitive l'utilisation du pont diviseur de tension pour calculer I_{DS} . Ce calcul, résumé à la figure (III.14), suit alors la démarche suivante :

1. Le potentiel appliqué aux bornes de chaque transistor est initialisé en supposant une variation linéaire de l'écart entre les quasi-niveaux de Fermi de la source au drain. On calcule alors le courant de chaque transistor élémentaire, I_D , ainsi que sa résistance, R , en utilisant la loi d'ohm.

2. Nouveau calcul du potentiel appliqué à chaque transistor à partir de la loi du pont diviseur de tension :

$$V = V_{DS} \frac{R}{\sum R} \tag{III.12}$$

Φ_C , I_D et R sont à nouveau calculés.

3. Le point 2 est répété tant que les fluctuations des potentiels ne sont pas négligeables d'une itération à l'autre. Finalement, les courants I_D sont identiques pour tous les transistors élémentaires.

Pour chaque transistor élémentaire, le courant de drain peut être calculé avec le modèle en Feuillet ou avec le modèle de Pao et Sah si certains phénomènes parasites doivent aussi être pris en compte.

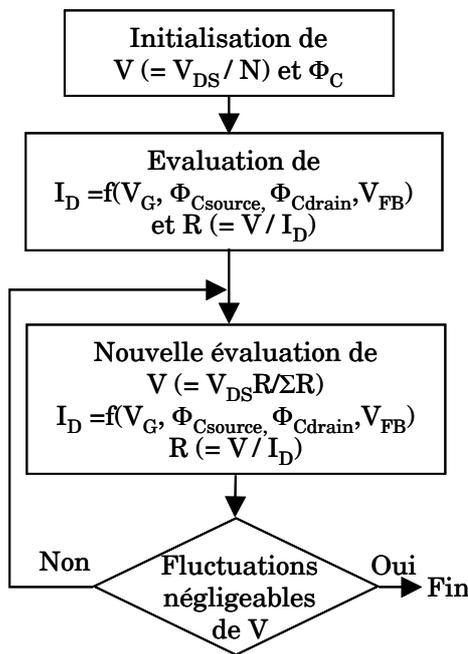


Figure III.14. Algorithme de notre programme permettant le calcul du courant de drain d'un transistor segmenté [C19].

Dans le cas des transistors MOS à isolant ultra-mince, le courant de grille devient trop important pour supposer valide la loi du pont diviseur de tension. Dans ce cas, il faut associer à chaque transistor élémentaire de la figure (III.13) un générateur de courant (qui correspond au courant de grille) pour obtenir le schéma de la figure (III.15). La détermination de la variation de l'écart entre les quasi-niveaux de Fermi se fait en prenant les transistors élémentaires deux à deux et en imposant :

$$I_{DN-1} = I_{DN} + I_{GN-1} \tag{III.13}$$

Par rapport à l'algorithme précédant seul le point 2 change pour devenir :

2. Nouveau calcul du potentiel appliqué à chaque transistor à partir de la loi des nœuds :

$$\Phi_{CN} = \frac{R_N \Phi_{CN+1} + R_{N+1} \Phi_{CN-1} + R_N R_{N+1} I_{GN}}{R_N + R_{N+1}} \tag{III.14}$$

V , I_D et R sont à nouveau calculés. Le balayage se fait par exemple de la source vers le drain.

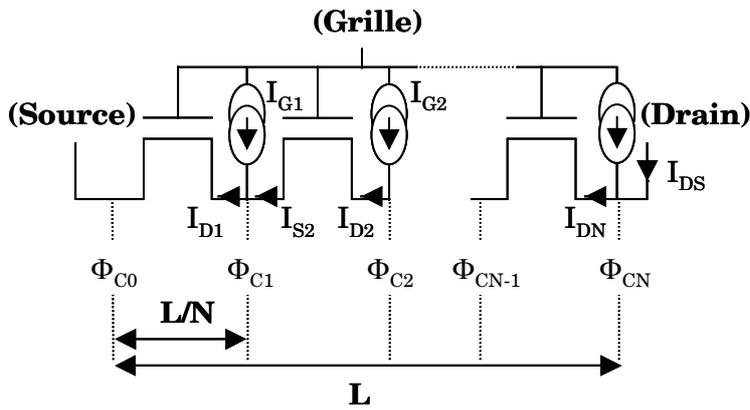


Figure III.15. Segmentation du transistor MOS et variation de l'écart entre les niveaux de Fermi d'un transistor à l'autre avec prise en compte du courant tunnel.

III.4.2. Charges piégées non uniformes

La figure (III.16) montre le décalage de la courbe $I_{DS}(V_{GS})$ d'un transistor n-MOS dû à la présence d'une forte densité de charges, N_{it} , localisées dans l'isolant (à 3 nm de l'interface) sur une longueur X_D proche du drain. Cette forte densité de charges induit un décalage très important de la pente sous le seuil pour le transistor avec $X_D = 0.1 L$ en comparaison avec le transistor sans charge (i.e. $X_D = 0$) même si X_D/L est faible. Ceci est dû à la forte diminution de la conductivité (i.e. augmentation de V_{FB}) du second transistor. Le programme que nous avons développé permet aussi de simuler les caractéristiques du transistor MOS pour une charge variable le long du canal (utilisation de N transistors élémentaires).

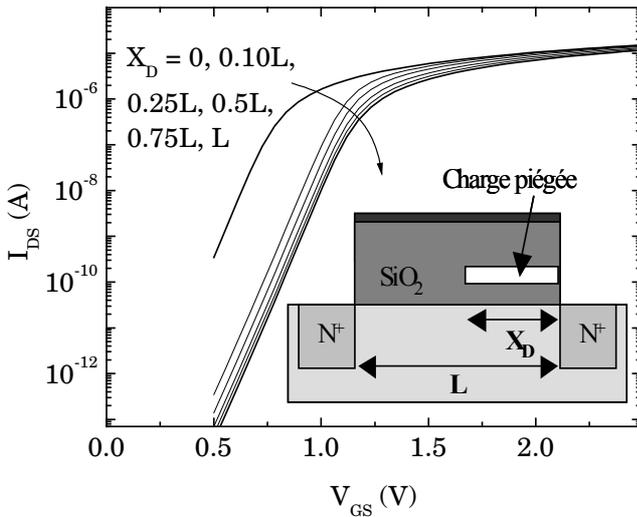


Figure III.16. Simulation de la courbe $I_{DS}(V_{GS})$ en fonction de la distance X_D proche du drain où sont localisées les charges fixes. Les paramètres du transistor sont : $W = 1 \mu m$, $L = 1 \mu m$, $V_{DS} = 50 mV$, $t_{ox} = 8 nm$, $y = 3 nm$, $N_{it} = 3 \times 10^{16} m^{-2}$ [C19].

III.4.3. Dépolarisation du canal

Soit un transistor MOS dont l'isolant de grille a une épaisseur de 1.5 nm et donc présente un courant de fuite important. La figure (III.17.a) donne la répartition de l'écart entre les quasi-niveaux de Fermi le long du canal en fonction de la longueur du canal pour une polarisation de drain $V_{DS} = 50 mV$ et de grille $V_{GS} = 2 V$. Pour une telle polarisation de drain le transistor n'est pas en régime de saturation mais au début du régime non linéaire. Cela signifie que la courbe $\Phi_C(x)$ doit être une droite ce qui est le cas pour le transistor de longueur très faible (i.e. $0.1 \mu m$). Pour les transistors plus longs (ici 5 et $10 \mu m$), la courbe $\Phi_C(x)$ s'écarte fortement d'une droite indiquant la présence d'un important courant de fuite qui dévie les électrons du canal vers la grille. Ce phénomène s'observe plus clairement sur la figure (III.17.b) qui donne une simulation des courants de drain (I_D), de source (I_S) et de grille (I_G) d'un transistor MOS de $5 \mu m$ de longueur de canal. On donne aussi, en référence, le courant du transistor (I_{DS}) en omettant la fuite de grille dans les calculs. On observe, sur cette figure, que les courants I_S et I_D ne sont pas égaux et sont de plus très différents de I_{DS} .

Cela signifie que les expressions du courant de drain données par les modèles en Feuillet et de Pao et Sah ne sont plus applicables pour ce transistor. On constate aussi que le courant de grille est très important et comparable aux courants de drain et de source. Pour un transistor de $10\ \mu\text{m}$ de longueur de canal, le courant de drain a une valeur négative (non montré dans ce document) ce qui signifie que les électrons ne sortent pas par le drain mais y entrent pour sortir par la grille. Le courant de drain étant proportionnel à W/L et le courant de fuite à WL , l'augmentation de la longueur du transistor induit une augmentation du courant de fuite et une forte diminution du courant de drain. D'autre part, il faut remarquer qu'au premier ordre le courant de drain dépend linéairement de la tension de drain. Cela implique que si on passe d'une tension de $50\ \text{mV}$ à $500\ \text{mV}$, le courant de drain est multiplié par un facteur 10. Le courant de grille devient alors négligeable devant le courant de drain qui redevient égal au courant de source (et donc à I_{DS}).

Le courant de grille n'a donc aucun impact sur le fonctionnement d'un transistor de très faible longueur (sauf au niveau circuit en raison du courant total de fuite sur tous les transistors). L'utilisation d'un modèle segmenté n'est pas nécessaire pour ce type de transistor. Pour les transistors plus longs, l'utilisation d'un modèle segmenté est indispensable sauf à fort V_{DS} .

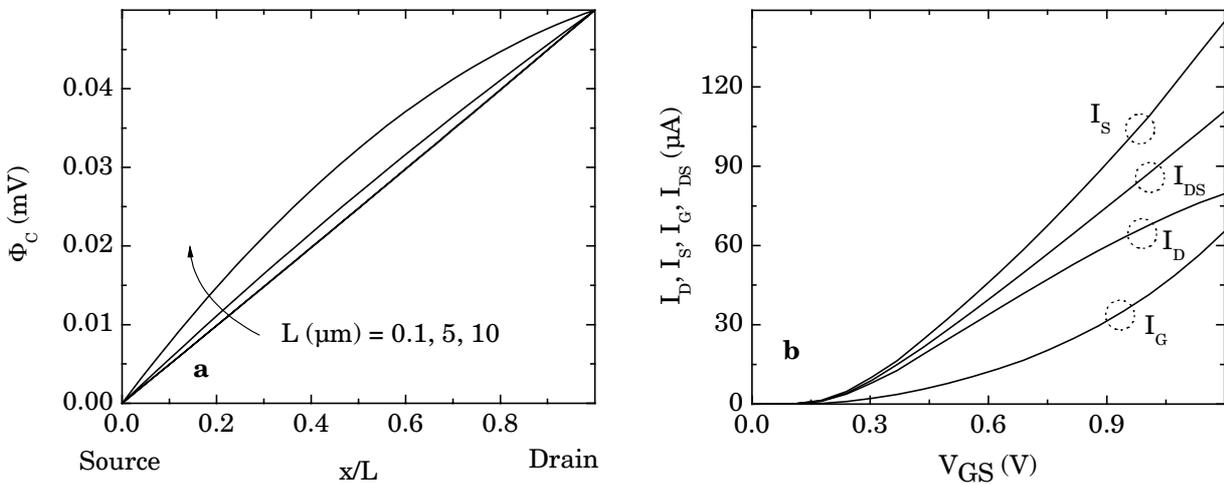


Figure III.17. Evolution de la répartition de l'écart entre les quasi-niveaux de Fermi le long du canal en fonction de la longueur du transistor (a) et courant de grille, I_G , de drain, I_D , et de source, I_S , d'un transistor de $5\ \mu\text{m}$ de long ainsi que le courant de drain en omettant le courant de fuite, I_{DS} (b). Les paramètres du transistor sont : $W = 10\ \mu\text{m}$, $V_{DS} = 50\ \text{mV}$, $t_{ox} = 1.5\ \text{nm}$.

III.5. Conclusion

La théorie du transistor a toujours été un de nos thèmes de prédilection, ce qui nous a par ailleurs conduit à écrire deux polycopiés portant sur ce sujet [D1, D5]. Dans un premier temps, cela avait pour but de déterminer avec le plus de précision possible les paramètres des transistors MOS comme la tension de seuil, la mobilité à faible champ électrique et les facteurs de réduction de la mobilité. Nous avons alors étendu ce champ d'actions à la prise en compte de phénomènes parasites tels que les effets quantiques, la présence de pièges dans l'isolant de grille ou encore une non uniformité des paramètres du transistor le long du canal.

Les travaux de recherche présentés dans ce chapitre se placent dans la thématique modélisation du transistor MOS de nos activités de recherche.

Chapitre IV : Modélisation des mémoires

IV.1. Introduction

Une des missions qui nous a été confiée lors de notre arrivée au L2MP concernait la modélisation physique des mémoires de type Flash dans le cadre de la thèse de Romain LAFFONT et des mémoires de type DRAM dans le cadre de la thèse de Laurent LOPEZ. Nous avons aussi continué notre travail sur les mémoires à nodules en collaboration avec le CEA/LETI non plus sur un aspect comparaison pièges-nodules mais sur le fonctionnement même de cette mémoire. Ce thème fait partie intégrante de la thèse de Sandrine BERNARDINI que nous dirigeons. Nous travaillons aussi sur la DRAM sans capacité dans le cadre de la thèse de Rossella RANICA que nous co-dirigeons et sur d'autres types de mémoires classées confidentielles lors de l'écriture de ce mémoire.

Ce quatrième et dernier chapitre présente une partie de nos résultats concernant la modélisation des mémoires Flash, EEPROM et à nano-cristaux de silicium.

IV.2. La mémoire Flash

Les mémoires Flash représentent la famille la plus importante des mémoires non-volatiles en raison de leur grande densité d'intégration, de leur rapidité d'écriture et de lecture [Pavan'97]. Comme pour la plupart des dispositifs mémoires, le point délicat de la simulation des dispositifs Flash vient de la modélisation du transistor MOS. Dans le cadre de ce travail nous avons opté pour le modèle de Pao et Sah qui permet notamment de prendre en compte un certain nombre d'effets parasites et de calculer la charge du semi-conducteur le long du canal en fonction des polarisations. Nous avons dans un premier temps développé un simulateur dynamique des opérations d'effacement et d'écriture de la cellule sous environnement Mathcad puis transféré l'algorithme sur un simulateur commercial de circuits (Eldo) pour le rendre utilisable par nos partenaires industriels.

IV.2.1. Fonctionnement de la mémoire Flash

Les figures (IV.1.a) et (IV.1.b) montrent une coupe SEM (Scanning Electron Microscopy) et le schéma électrique équivalent d'une mémoire Flash. On peut identifier les trois composants principaux que sont : le transistor MOS (avec sa capacité C_{ox}), la capacité inter-poly (C_{ono}) et la capacité de recouvrement de la source (C_{tun}). L'effacement de la cellule est obtenue par injection d'électrons de la grille flottante vers la source (et le substrat) par le biais d'un courant Fowler-Nordheim (I_{FN}). Pour la phase d'écriture, le transistor est polarisé en régime de saturation ce qui induit l'apparition d'un courant d'ionisation par impact proche de la zone de drain. Une partie des électrons ainsi générés peuvent traverser l'isolant de grille du transistor (courant I_w) et charger la grille flottante. En raison de la grande intensité de ce dernier type d'injection, l'opération d'écriture d'une mémoire Flash est extrêmement rapide comparée à l'opération d'effacement (courant FN). C'est cette particularité qui rend la mémoire Flash très attractive par rapport à la mémoire EEPROM.

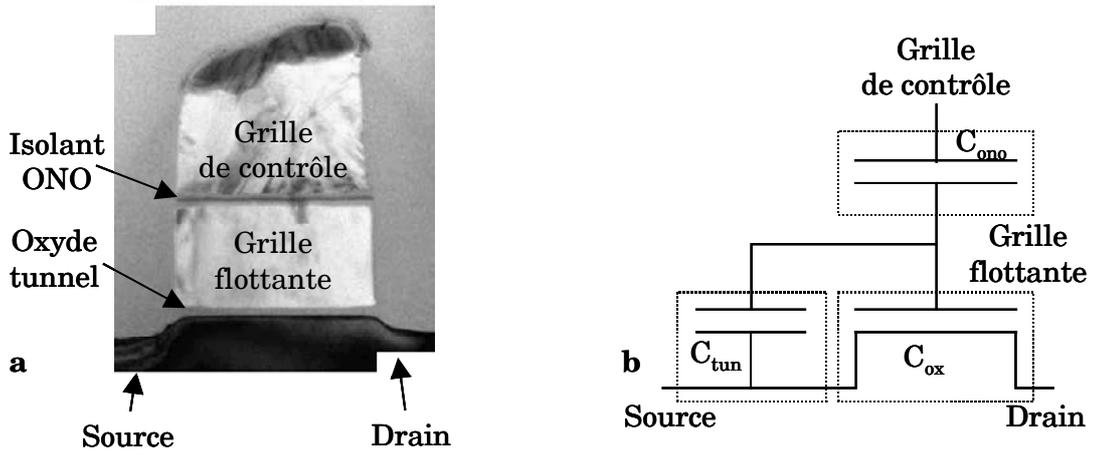


Figure IV.1. Coupe SEM (Scanning Electron Microscopy) d'une mémoire de type Flash (a) et schéma électrique équivalent faisant apparaître les différentes capacités (b) [C15].

IV.2.2. Modélisation de la mémoire Flash

La connaissance de la tension aux bornes de la zone pincée du canal en régime de saturation est nécessaire au calcul de I_W (avec le modèle de Tam [Tam'84]). Cela explique l'utilisation du modèle de Pao et Sah. On détecte, avec ce modèle, l'endroit du canal où la charge devient F_{ac} fois inférieure (F_{ac} généralement pris égal à 10) à la charge de la source, on détermine alors la tension au point de pincement. Cette méthode a récemment été améliorée en terme de rapidité de calcul et de précision en recherchant le quasi-niveau de Fermi qu'il est nécessaire d'appliquer pour avoir pincement du canal (i.e. Q_n source divisée par F_{ac}). Cela nous permet aussi d'utiliser le modèle en Feuillet en remplacement du modèle de Pao et Sah lorsqu'il n'est pas indispensable (gain en temps de calcul).

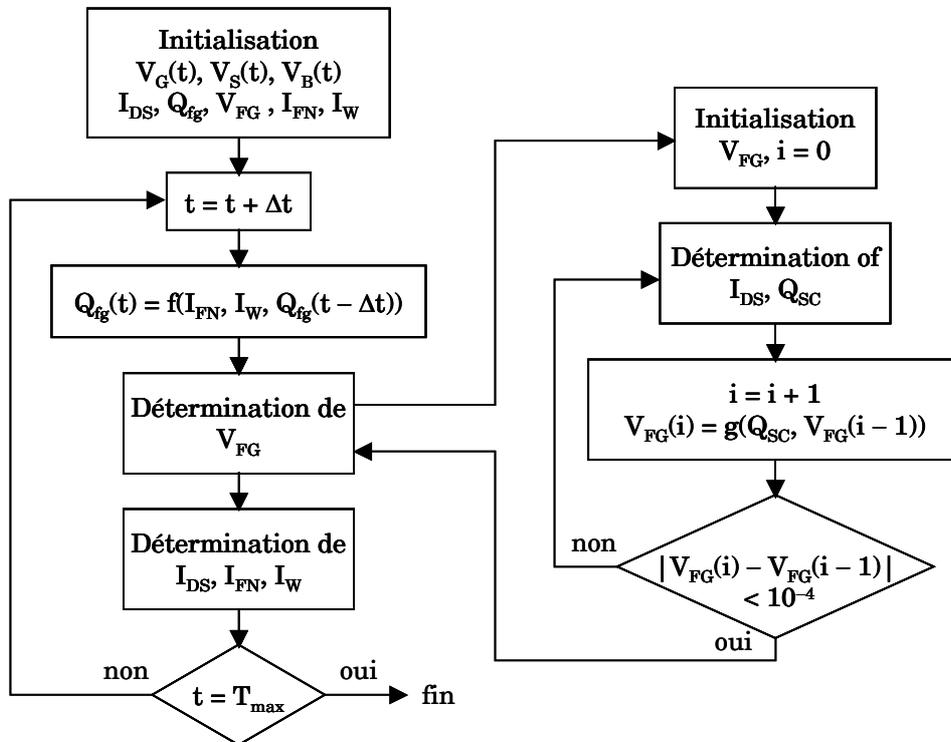


Figure IV.2. Algorithme de notre programme permettant la simulation dynamique des phases d'écriture et d'effacement ainsi que la simulation du courant de drain de la mémoire Flash [R13].

L'algorithme de notre simulateur est présenté à la figure (IV.2). Il est à la base de tous les simulateurs de mémoires que nous avons développé par la suite.

Après une phase d'initialisation des différents potentiels appliqués à la structure, on calcule l'évolution de la charge stockée dans la grille flottante via l'équation :

$$Q_{FG}(t) = Q_{FG}(t - \Delta t) - (I_W - I_{FN})\Delta t \quad (IV.1)$$

où Δt correspond au pas temporel. Pour chaque temps, le potentiel de la grille flottante est déterminé avec une méthode itérative que nous avons développée et qui ne nécessite pas la mise en œuvre de méthodes numériques propres au logiciel utilisé. Cette méthode est basée sur l'équation suivante :

$$V_{FG} = \frac{Q_{SCT} + V_{GB}C_{ONO} + Q_{FG} + V_{SB}C_{tun}}{C_{ONO} + C_{tun}} \quad (IV.2)$$

où Q_{SCT} représente la charge totale du semi-conducteur sous la grille du transistor (ce qui correspond à un signe moins près, à la charge de sa grille).

Notons que le calcul initial des potentiels en fonction du temps peut générer des oscillations dans le calcul de la tension de grille flottante. Pour palier ce problème, nous avons implémenté un algorithme qui calcule les différents potentiels au cours du déroulement du programme en fonction de la charge injectée ce qui permet une variation du pas Δt . Le programme, présenté dans ce paragraphe, a été développé dans sa version initiale sous Mathcad puis transféré sous Eldo, la gestion de la variable temps étant gérée par Eldo (programmation HDLA). Cette dernière version a été récemment modifiée pour calculer l'algorithme en C++ ce qui ne laisse plus la gestion du temps à Eldo et permet un calcul très rapide des phases d'écriture et d'effacement (de l'ordre de la seconde).

Comme le montre les figures (IV.3.a) et (IV.3.b), il est possible de visualiser l'évolution temporelle des variables internes comme les courants d'écriture ou d'effacement de la cellule. L'aspect discontinu du courant d'écriture vient du faible nombre de points calculés par Eldo. La diminution de chaque courant apparaît lorsque la grille flottante est soit chargée, soit déchargée.

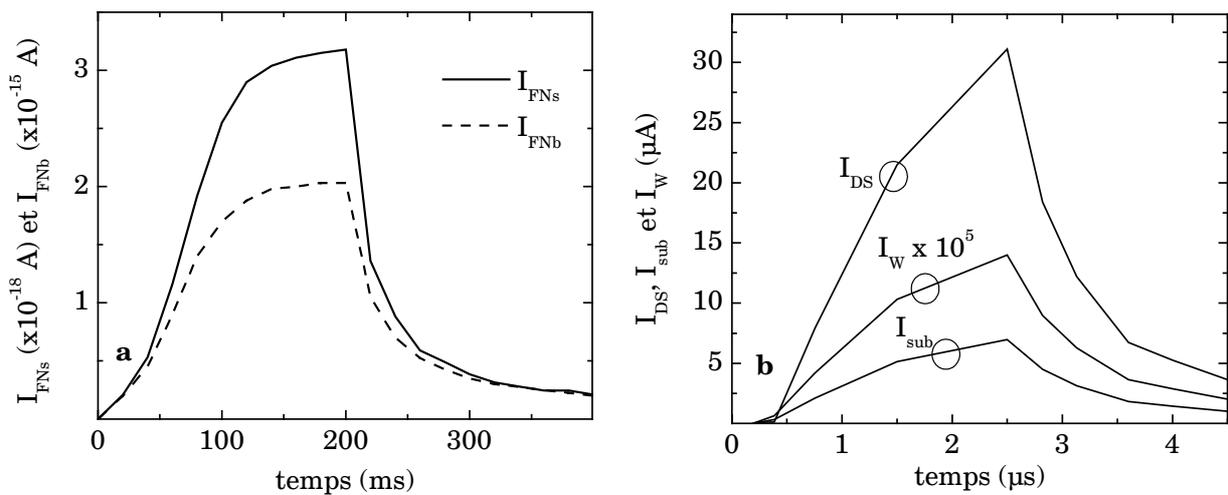


Figure IV.3. Simulation sous Eldo des courants FN (I_{FNs} pour la source et I_{FNb} pour le substrat) pendant la phase d'effacement (a) et des courants de drain, de substrat et de grille pendant la phase d'écriture (b) [R13].

IV.2.3. Validation de la modélisation

Afin de valider le comportement dynamique de notre simulateur, nous avons effectué des mesures de tension de seuil d'une mémoire Flash en technologie 0.15 μm de ST-Microelectronics. Des mesures statiques sur des structures de tests (dummy cells : mémoires dont les poly1 et 2 sont connectés) ont été utilisées pour calibrer le modèle du transistor MOS (dopage du substrat, tension de bandes plates, mobilité...) ainsi que les paramètres des courants tunnels et de porteurs chauds.

La comparaison entre mesures et simulations de la tension de seuil pendant la phase d'effacement est donnée à la figure (IV.4.a). Le signal de substrat (source, drain et substrat connectés) en fonction du temps est composé de deux parties : une rampe suivie d'un plateau. On applique une partie de ce signal (par exemple de 0 à 100 ms) et on mesure la tension de seuil de la cellule. Cette cellule est alors ré-écrite pour atteindre la même tension de seuil initiale. On constate, sur cette figure, que la tension de seuil simulée suit parfaitement la variation de la tension de seuil mesurée. La décroissance initiale de V_T dépend de la tension initiale de V_B ce que l'on obtient aussi par simulation [R13].

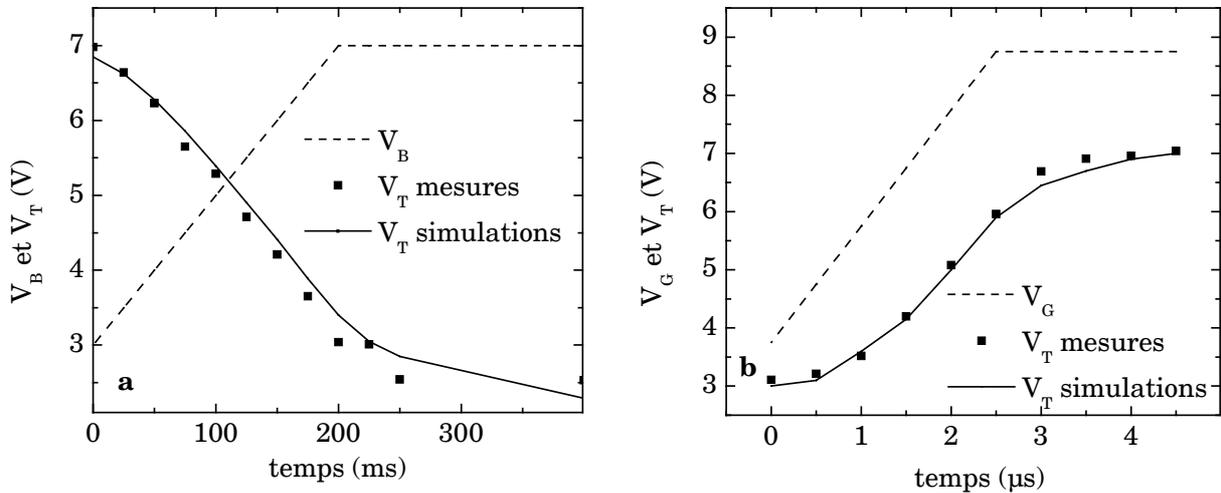


Figure IV.4. Comparaison entre mesures et simulations de la tension de seuil en fonction du temps d'effacement (a) et d'écriture (b) et de la forme des signaux appliqués [R13].

Dans le cas de la phase d'écriture, le drain est polarisé à 4.2 V et un signal de grille positif est appliqué sur la grille dont l'allure temporelle est donnée à la figure (IV.4.b). Nous pouvons noter une très bonne concordance entre la tension de seuil mesurée et celle simulée.

La validation de notre simulateur et surtout le choix des modèles offrent un certain nombre de possibilités comme : l'optimisation des signaux de programmation et de l'architecture de la cellule en fonction des demandes des concepteurs, l'étude de l'impact de phénomènes parasites sur le fonctionnement de la cellule comme la poly-déplétion, les pièges d'interface et les effets quantiques.

IV.3. La mémoire à nano-cristaux de silicium

L'utilisation de nano-cristaux (ou nodules, ou encore dots) de silicium en remplacement des grilles flottantes traditionnelles des mémoires Flash est une des solutions envisagées pour améliorer leurs performances [Tiwari'96-Shi'98], [O1] : le stockage dans chaque nodule, empêche le mouvement latéral des charges et préserve la mémoire d'une perte totale de l'information lors d'une détérioration locale de l'oxyde.

Dans un premier temps, il nous a été demandé de comparer la réponse électrique des nodules avec celle des pièges électriquement actifs. Ce travail a été présenté au paragraphe III.2. Dans un deuxième temps, nous avons analysé la réponse en pompage de charge de ces transistors. Cette analyse a été réalisée, en partie, lors de la formation de Liviu MILITARU à notre succession au LPM et dans le cadre du stage de DEA et de fin d'étude de Vincent CELIBERT. Dans un troisième temps, nous avons commencé à travailler sur la modélisation du comportement électrique de cette mémoire lors des phases d'écriture et d'effacement en fonction des paramètres des nodules. Cela fait l'objet de la partie "application aux dispositifs mémoires" de la thèse de Sandrine BERNARDINI. Dans ce paragraphe, nous présentons les deux dernières phases de nos travaux portant sur la mémoire à nodules.

IV.3.1. Présentation de la mémoire

Une vue schématique d'un transistor à nano-cristaux de silicium est donnée à la figure (IV.5). Cette mémoire est un transistor d'apparence classique si ce n'est la présence de "boules" ou de "demi-boules" de silicium dans l'oxyde de grille à une certaine distance de l'interface. Le chargement de ces nodules, avec des électrons, peut se faire par injection Fowler-Nordheim en appliquant une tension de grille positive ou par porteurs chauds. Dans ce derniers cas, seuls les nodules localisés dans la région du canal proche du drain seront chargés. Le déchargement des nodules (effacement de la mémoire) s'effectue par courant FN en appliquant un potentiel de grille négatif. Les paramètres comme le temps d'écriture, le temps d'effacement, la rétention, la fuite de nodules à nodules dépendent des caractéristiques des dots comme leur surface et leur densité mais aussi de leur distance à l'interface.

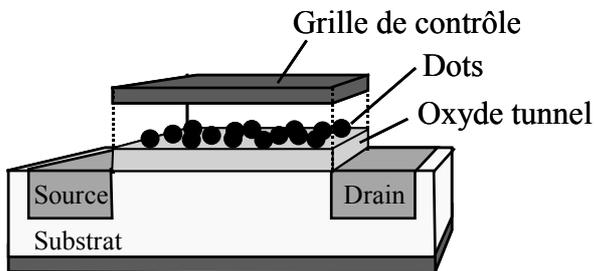


Figure IV.5. Vue schématique d'un transistor à nodules faisant apparaître la grille de contrôle et l'oxyde tunnel [O1].

IV.3.2. Pompage de charge sur les mémoires à nodules

Nous analysons, dans ce paragraphe, la réponse en pompage de charge de transistors MOS dont les nodules sont situés à différentes distances de l'interface (i.e. différentes épaisseurs d'isolant tunnel) comme le résume le tableau (IV.1). L'isolant entre les dots et la grille de contrôle a une épaisseur de 8 nm et nous disposons de plaques de références c'est-à-dire sans nodules. La densité des dots (DN_{dot}) est de l'ordre $2-4 \times 10^{11} \text{ cm}^{-2}$ avec un diamètre d'environ 3 nm (dispersion inférieure à 30 %) et ils ont une forme de "demi-boules" (la tranche étant parallèle à l'interface). Les quatre dispositifs de références ayant donné strictement les mêmes résultats, nous ne mentionnerons dans la suite qu'une seule référence.

Composant	D-1.3	D-1.5	D-1.8	D-2.3
T1 (nm)	1.3	1.5	1.8	2.3

Tableau IV.1. Distances des nodules par rapport à l'interface pour les quatre composants [C14].

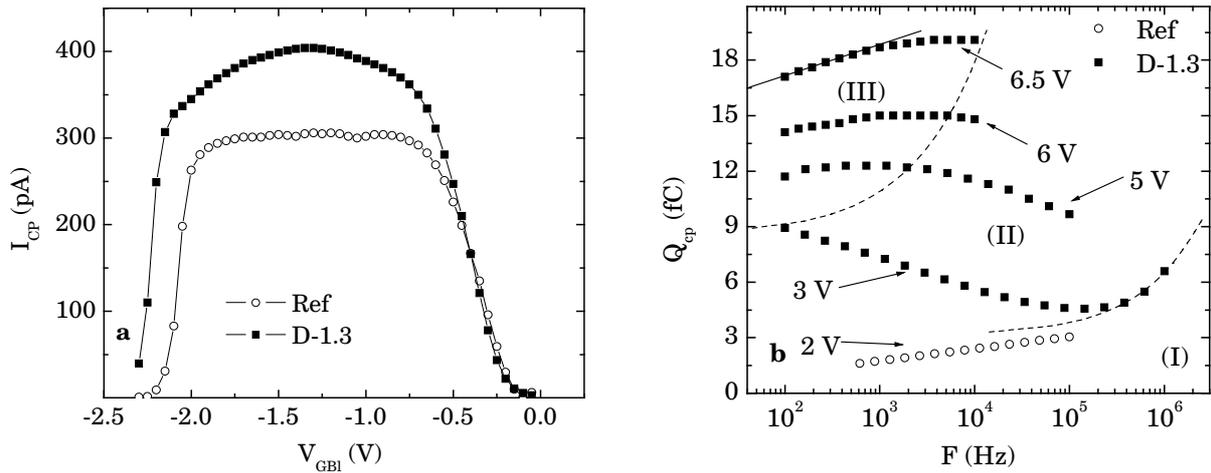


Figure IV.6. Réponse en pompage de charge à deux niveaux des dispositifs de référence et D-1.3 (a) (avec $\Delta V_{GB} = 2.5$ V et $F = 100$ KHz) et évolution de la charge pompée en fonction de la fréquence et de l'amplitude du signal de grille (b) [C14].

Comme le montre la figure (IV.6), la technique de pompage de charge à deux niveaux avec signal sinusoïdal donne une courbe $I_{CP}(V_{GBI})$ de forme classique (présence d'un plateau) pour le dispositif de référence. Cela signifie que les pièges détectés, pour ce dispositif, sont localisés à l'interface avec le substrat et que l'interface entre les deux isolants successifs (i.e. les deux oxydes) est excellente en terme de présence de pièges. Pour le dispositif de référence la densité de pièges d'interface est de $3.4 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ avec une section de capture de 10^{-17} cm^2 ce qui est commun pour un process standard.

La même mesure effectuée sur le composant D-1.3 montre une contribution supplémentaire au niveau du plateau (présence d'une bosse) que l'on peut imputer, à ce niveau de notre travail, à la présence de pièges au niveau des nodules. La figure (IV.6.b) met en évidence l'augmentation de la charge pompée à basse fréquence de ce dispositif pour $\Delta V_{GB} = 3$ V ce qui est caractéristique de la présence de pièges lents c'est-à-dire loin de l'interface. En faite, plus la fréquence du signal de grille décroît, plus ces pièges ont le temps de répondre et donc de contribuer au courant pompé. Pour détecter ces pièges loin de l'interface, on peut aussi augmenter l'amplitude du signal de grille à fréquence donnée. On augmente ainsi la probabilité de capturer les électrons et les trous en augmentant la densité en porteurs libres à l'interface pendant les régimes d'inversion forte et d'accumulation. C'est ce que nous présentons à la figure (IV.6.b) pour les amplitudes $\Delta V_{GB} = 5$ V, 6 V et 6.5 V. On peut ainsi séparer très distinctement trois zones :

- (I) pas de réponse des pièges loin de l'interface et réponse totale des pièges d'interface,
- (II) réponse partielle des pièges loin de l'interface,
- (III) réponse complète des pièges loin de l'interface.

On pourra remarquer que l'augmentation de la courbe dans la région (I) à haute fréquence est due à la composante géométrique du pompage de charge (recombinaison des porteurs dans le canal).

Lorsque tous les pièges loin de l'interface répondent, la linéarité de la courbe $Q_{CP}(F)$ permet de trouver les caractéristiques de ces pièges. Nous trouvons ainsi une densité de $1.9 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ et une section de capture vue de l'interface égale à $1.23 \times 10^{-22} \text{ cm}^2$. En

considérant l'équation (I.15), on détermine la section efficace de capture réelle de ces pièges : $\sigma_n = 9.5 \times 10^{-16} \text{ cm}^2$. On peut remarquer que cette valeur est très proche de celle des pièges d'interface ce qui peut nous laisser penser que la contribution supplémentaire observée pour le dispositif D-1.3 par rapport au dispositif de référence est due à la présence de pièges au niveau des nodules. On peut finalement noter que si l'on considère une bande interdite pour le silicium de 1.1 eV, la densité de pièges loin de l'interface obtenue pour le dispositif D-1.3 ($2.1 \times 10^{11} \text{ cm}^{-2}$) est proche de la densité des nodules.

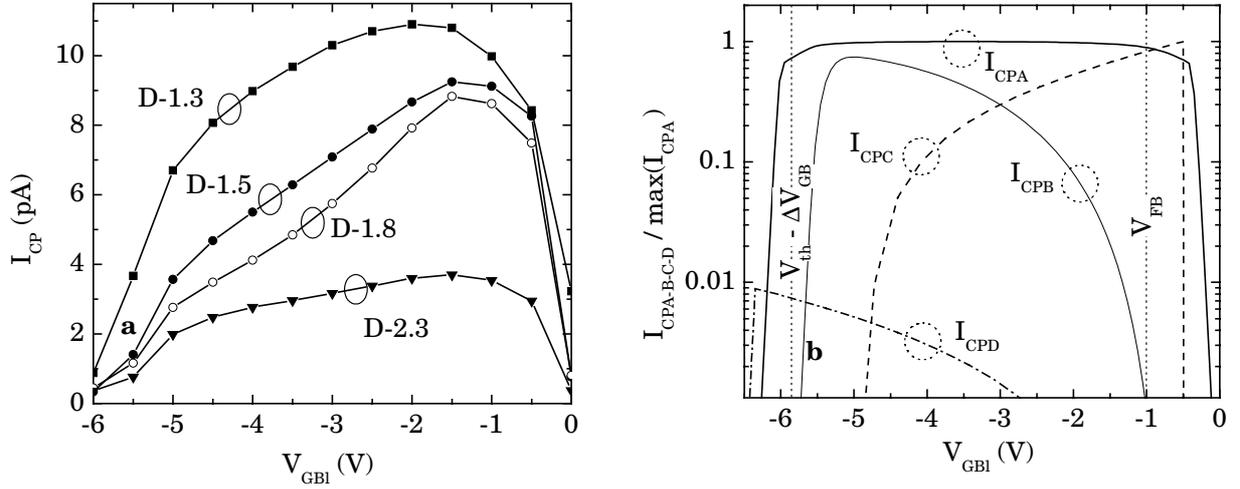


Figure IV.7. Réponse en pompage de charge à signal carré des différents dispositifs (a) avec $F = 100 \text{ Hz}$ et $\Delta V_{GB} = 6 \text{ V}$. Simulation de la contribution des pièges d'interface (I_{CPA}), des pièges situés à 1.3 nm de l'interface et des dots (I_{CPB}) si on considère qu'ils peuvent se remplir ou se vider avec des électrons (I_{CPC}) ou avec des trous (I_{CPD}) (b) [C14].

La figure (IV.7.a) illustre la réponse en pompage de charge avec signal carré des quatre dispositifs à nodules. On constate très clairement que la contribution due à la présence des nodules se situe à la droite du plateau dû aux pièges d'interface. En se basant sur la statistique SRH, la contribution de pièges loin de l'interface devrait se situer à gauche du plateau en raison de la limitation par capture de trous. La figure (IV.7.b) illustre, en simulation, la forme de la courbe $I_{CP}(V_{GBI})$ pour les pièges d'interface (I_{CPA}) et pour des pièges situés à 1.3 nm de l'interface (I_{CPB}). La comparaison mesures-simulations démontre que la composante supplémentaire détectée par pompage de charge ne correspond pas à des pièges électriquement actifs. Nous avons alors réalisé un autre simulateur (sous Mathcad) qui calcule la réponse en pompage de charge de nodules de silicium en supposant qu'ils peuvent se remplir et se vider par courants tunnels classiques d'électrons et de trous. Contrairement à la simulation du pompage de charge en signal carré qui peut se faire via des équations analytiques (c.f. [Bauza'97] ou [D3] annexe B), la réponse des nodules, considérés comme des grilles flottantes, n'a pas de solution analytique. Il est donc inévitable de calculer la réponse des nodules sur plusieurs cycles de signal de grille pour atteindre le régime établi. Cette notion de régimes établi et transitoire a déjà été développée au chapitre II.4 portant sur la réponse en fréquence des pièges d'interface lors d'une mesure C-V. En négligeant l'épaisseur des dots par rapport à l'épaisseur d'isolant, l'équation aux potentiels s'écrit :

$$V_{GB} = V_{FB} - \frac{Q_{dot}}{C_{ox}} - \frac{T_2}{T_1 + T_2} + \Psi_S - \frac{Q_{SC}}{C_{ox}} \quad (IV.3)$$

où Q_{dot} (en C) représente la charge piégée dans les dots.

Le courant tunnel vers ou en provenance des dots est évalué à partir des équations suivantes :

$$J_{bd} = S_{\text{eff}} N_{\text{dot}} Q_n F_{\text{imp}} T E_{bd} \quad (\text{IV.4})$$

$$J_{db} = Q_{\text{dot}} F_{\text{imp}} T E_{db} \quad (\text{IV.5})$$

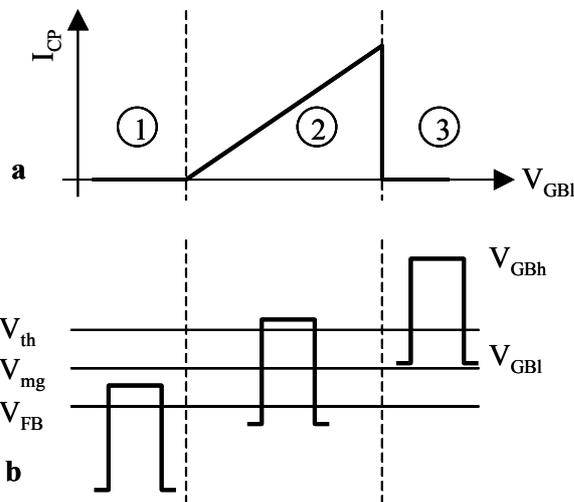
où $T E_{bd}$ et $T E_{db}$ représentent respectivement les transparences des électrons du substrat vers les dots et des dots vers le substrat. Le terme $S_{\text{eff}} Q_n N_{\text{dot}}$ correspond à la quantité d'électrons qui peuvent traverser l'isolant tunnel en direction des dots.

La courbe I_{CPC} de la figure (IV.7.b) montre la courbe obtenue pour les nodules situés à 1.3 nm de l'interface. Dans ce cas, la composante supplémentaire se situe bien à droite du plateau dû à la contribution des pièges d'interface. Comme l'indique la figure (IV.8), la courbe $I_{\text{CP}}(V_{\text{GBI}})$ peut se décomposer en plusieurs régions :

- 1) Lorsque V_{GBh} est inférieur à V_{mg} , le semi-conducteur est toujours polarisé en régime d'accumulation ou en régime de désertion. Il n'y a pas d'électron pouvant remplir les nodules et le courant pompé est nul.
- 2) En régime de faible ($V_{\text{mg}} < V_{\text{GBh}} < V_{\text{th}}$) ou de forte ($V_{\text{GBh}} > V_{\text{th}}$) inversion, la densité d'électrons est suffisante pour pouvoir remplir en partie ou totalement les dots. Lorsque la structure bascule en régime d'accumulation (ou de désertion), les électrons des dots passent dans le substrat par effet tunnel ou ils se recombinent avec les trous.
- 3) Lorsque le transistor est toujours polarisé en régime de faible ou forte inversion, il n'y a pas de trou à l'interface pour recombiner les électrons et le courant pompé est nul.

Il est très important de noter que, contrairement aux pièges, la recombinaison électron-trou est localisée à l'interface (dans le silicium) et non dans l'isolant.

Finalement, la courbe I_{CPD} de la figure (IV.7.b) correspond à la contribution des trous qui est considérablement plus faible que celle des électrons (en raison des hauteurs de barrière différentes pour ces deux types de porteurs) ce qui permet de la négliger. Ce travail confirme aussi le comportement de type grille flottante des nodules de silicium.



IV.3.3. Détermination des caractéristiques des nodules

Après l'identification des phénomènes mis en jeu lors de la technique de pompage de charge, nous avons cherché à déterminer les caractéristiques des nodules à partir du courant pompé en signal carré. Pour cela, nous avons comparé le courant de chargement des dots (i.e. équation (IV.4)) avec le courant de capture des électrons par des pièges :

$$J_{\text{trap}} = \sigma_n Q_n N_{\text{it}} F_{\text{imp}} T E_{\text{bd}} \quad (\text{IV.6})$$

où N_{it} représente le nombre total de pièges pouvant capturer.

On remarque alors à partir des équations (IV.4) et (IV.6) que la surface des dots joue le même rôle que la section de capture des électrons. Le temps de capture d'un dot peut alors être exprimé par :

$$\tau_{\text{dot}} = \frac{q}{S_{\text{eff}} Q_n F_{\text{imp}} T E_{\text{bd}}} \quad (\text{IV.7})$$

Si on considère un signal de type carré, le remplissage des dots se produit pendant une demi-période donc les dots qui peuvent répondre pendant ce temps ont une constante de temps inférieure à la moitié de la période du signal :

$$\frac{q}{S_{\text{eff}} Q_n F_{\text{imp}} T E} < \frac{1}{2F} \quad (\text{IV.8})$$

Pour expliquer la croissance de la courbe $Q_{\text{CP}}(F)$ lorsque la fréquence diminue [C14], on peut supposer que tous les dots sont à la distance T_1 de l'interface et que la variation lente de Q_{CP} est due à une variation de la surface S_{eff} entre les dots : une faible fréquence de signal permet aux dots de petites surfaces de répondre. En considérant deux fréquences successives, F et $F - \Delta F$, la surface des dots qui peuvent répondre est donnée par :

$$S_{\text{eff}}(F) = \frac{2qF}{Q_n F_{\text{imp}} T E_{\text{bd}}} \quad (\text{IV.9})$$

et le nombre de dots ayant cette surface est :

$$D_{\text{dot}}(F) = \frac{Q_{\text{CP}}(F) - Q_{\text{CP}}(F - \Delta F)}{q} \quad (\text{IV.10})$$

La figure (IV.9.a) présente l'histogramme du nombre de dots en fonction de leur diamètre $D_{\text{dot}}(D_{\text{eff}})$ (D_{dot} est donné par unité de surface), normalisé par la surface du transistor, pour les quatre mémoires à nodules. Le diamètre moyen, environ 2 nm ainsi que les densités de dots (somme du nombre de dots pour chaque palier : $DN_{\text{dot}} = \sum D_{\text{dot}}$), indiqués au tableau (IV.2), sont en très bon accord avec les données technologiques.

Composant	D-1.3	D-1.5	D-1.8	D-2.3
Densités ($\times 10^{11} \text{cm}^2$)	2.3	4	4.2	–

Tableau IV.2. Densités de dots estimées pour les quatre composants [C14].

On peut aussi supposer que tous les dots ont la même surface et que la variation de la courbe $Q_{\text{CP}}(F)$ est due à des variations de distance des dots par rapport à l'interface. Les densités de dots en fonction de la distance à l'interface, déterminées par l'application

classique du CP à deux niveaux [Bauza'97], $N_{\text{dot}}(x)$ (N_{dot} est donné par unité de volume), sont données à la figure (IV.9.b). La localisation de leurs maximums est en bon accord avec les données technologiques.

Si on considère la distribution spatiale du dispositif D.1-8, il est difficile de croire que des dots sont présents à 1.4 nm de l'interface. Cela suggère que les caractéristiques réelles des dots sont un mélange des caractéristiques $N_{\text{dot}}(x)$ et $D_{\text{dot}}(D_{\text{eff}})$ mais plus proches de la caractéristique $D_{\text{dot}}(D_{\text{eff}})$ puisque l'épaisseur d'isolant tunnel est contrôlée à ± 0.5 nm.

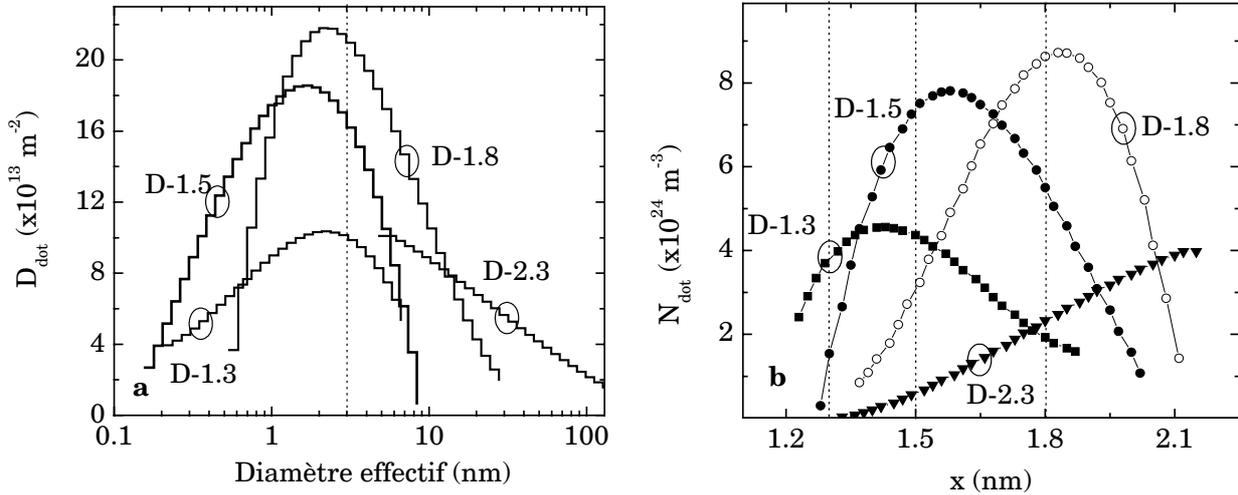


Figure IV.9. Courbes $D_{\text{dot}}(D_{\text{eff}})$ si l'on considère que tous les dots sont à la même distance de l'interface (a) et courbes $N_{\text{dot}}(x)$ si tous les dots ont la même surface (b) [C14].

IV.3.4. Modélisation de la mémoire à nodules

Le chargement par porteurs chauds des nodules près de la zone de drain induit une modification de la tension de bandes plates non-uniforme le long du canal. L'impact de cette non uniformité sur le courant de drain du transistor MOS a été présenté au chapitre III.4. En remarquant que les courants d'injection sont toujours très inférieurs au courant de drain pour les épaisseurs d'isolant considérées, nous pouvons utiliser le pont diviseur de tension le long du canal pour calculer le courant de drain du transistor segmenté.

Le potentiel de surface aux bornes de chaque transistor est évalué à partir de l'équation suivante :

$$V_{\text{GB}} = V_{\text{FB}} + \psi_{\text{S}} - \frac{Q_{\text{SC}}}{C_{\text{ox}}} - \frac{Q_{\text{dot}}}{C_{\text{ox}} W(L/N)} - \frac{T_2}{T_1 + T_2} \quad (\text{IV.11})$$

où Q_{dot} est la charge piégée (en C) pour chaque transistor élémentaire.

L'équation (IV.11) suggère que l'influence électrostatique de la charge stockée dans les nodules est étalée uniformément sur la surface de chaque transistor élémentaire comme pour la modélisation de l'activité des pièges.

Le calcul de la zone à saturation permet de connaître la localisation et le nombre (N_{pinch}) de transistors élémentaires dont les dots se remplissent par porteurs chauds. Le courant I_{sub} est déterminé par le modèle de Tam [Tam'84] et le courant injecté n'est qu'une portion du courant I_{w} en raison de la portion de surface, $R_{\text{eff}} (= DN_{\text{dot}} \times \pi \times (D_{\text{eff}}/2)^2 = \text{surface recouverte par les dots par unité de surface})$, de chaque transistor recouvert par les dots. En

conséquence et en supposant que l'injection soit uniforme dans la zone à saturation, le courant d'injection pour chaque transistor de la zone à saturation est donné par :

$$I_W = I_{\text{sub}} \alpha_{\text{ox}} \frac{R_{\text{eff}}}{N_{\text{pinch}}} \exp\left(\frac{b_{\text{ox}}}{\xi_{\text{ox}} T_1}\right) \quad (\text{IV.12})$$

où b_{ox} et α_{ox} sont deux paramètres d'ajustage. $\xi_{\text{ox}} T_1$ est le champ électrique dans l'isolant tunnel entre l'interface et les dots :

$$\xi_{\text{ox}} T_1 = \frac{-V_{\text{ox}}}{T_1 + T_2} - \frac{T_2}{T_1 + T_2} \frac{Q_{\text{dot}}}{\epsilon_{\text{ox}} W(L/N) R_{\text{eff}}} \quad (\text{IV.13})$$

Pour une tension de grille donnée, lorsque $\xi_{\text{ox}} T_1$ devient proche de zéro, l'injection d'électrons dans les dots cesse même si le courant de porteurs chauds existe encore. Cette notion est très différente de celle des mémoires Flash traditionnelles pour lesquelles l'opération d'écriture s'arrête lorsque qu'il n'y a plus de porteurs chauds.

IV.3.5. Variation de la tension de seuil en programmation

Dans un souci de simplification, nous montrons ici les résultats obtenus après découpage du transistor en deux transistors élémentaires. Même si le point de pincement se déplace le long du canal, on considère que le courant de porteurs chauds apparaît dans le transistor près du drain (ayant une longueur $X_D = 0.15 \times L$).

Nos simulations ont montré que le nombre d'électrons injectés par dot dépend de leur surface. Par exemple, en imposant des conditions de polarisation et des temps d'écriture identiques, un dot de 2.5 nm de diamètre se charge avec en moyenne 1.2 électrons alors qu'un dot de 20 nm en aura 58.3. On peut en déduire que si l'on veut conserver la même charge stockée lorsque l'on réduit la taille des dots, il faut dans le même temps augmenter leur densité.

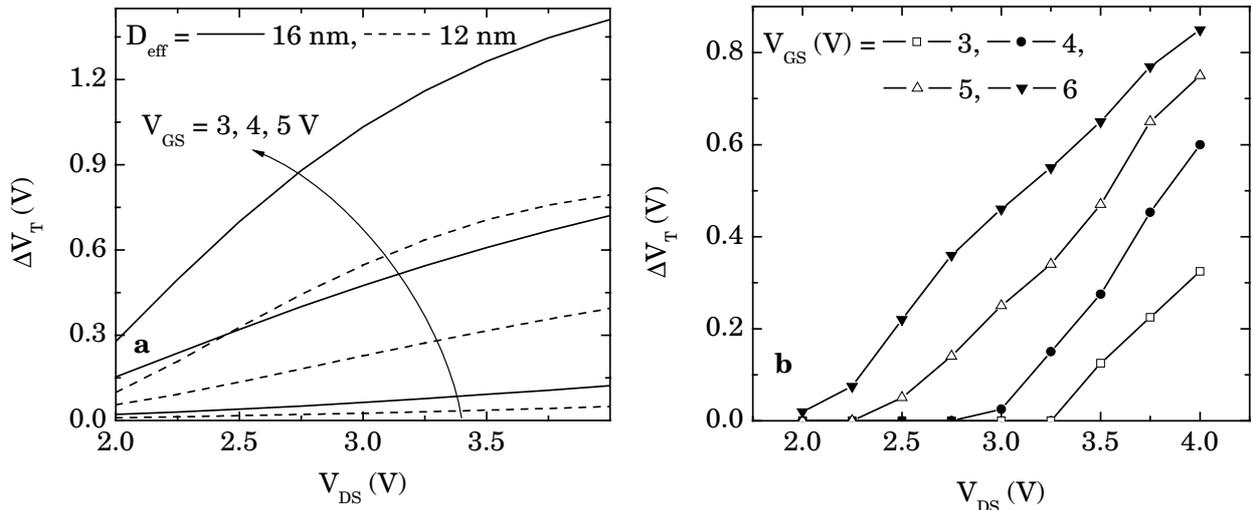


Figure IV.10. Variation de la tension de seuil en fonction du potentiel de drain pour différentes tensions de grille et différents diamètres de dot en simulation (a) avec $X_D = 0.15 \times L$, $DN_{\text{dot}} = 2 \times 10^{11} \text{ cm}^{-2}$ et en mesure (b) avec $W \times L = 0.16 \times 0.24 \text{ μm}^2$, R_{eff} est d'environ 15 %, $D_{\text{dot}} \approx 11 \text{ nm}$, $N_{\text{dot}} = 1-2 \times 10^{11} \text{ cm}^{-2}$ [C19].

Des simulations de la variation de la tension de seuil, ΔV_T , (déterminée à partir du décalage de la pente sous le seuil) en fonction des potentiels appliqués et du diamètre effectif des dots (D_{eff}) sont données à la figure (IV.10.a). Ces simulations mettent en évidence l'impact des tensions de drain et de grille sur l'amplitude de la variation de tension de seuil. On remarque qu'une faible diminution du diamètre des dots induit une diminution notable de ΔV_T . Le phénomène de chargement s'arrête lorsque le champ électrique entre les dots et l'interface devient nul et la courbe $\Delta V_T(V_{\text{DS}})$ tend à saturer pour les fortes valeurs de V_{DS} . Pour valider le comportement de notre simulateur, nous avons comparé la figure (IV.10.a) avec des résultats obtenus sur des mémoires fabriquées par ST Microelectronics dont les caractéristiques sont les suivantes $W \times L = 0.16 \times 0.24 \mu\text{m}^2$, $T_1 = 3.2 \text{ nm}$, $T_2 = 5.3 \text{ nm}$, $N_{\text{dot}} = 1-2 \times 10^{11} \text{ cm}^{-2}$ et $D_{\text{dot}} \approx 11 \text{ nm}$. La figure (IV.10.b) présente des mesures de la variation ΔV_T en fonction des potentiels appliqués. On constate une augmentation de ΔV_T avec V_{DS} et V_{GS} et pour des temps d'écriture plus long, la courbe $\Delta V_T(V_{\text{DS}})$ tend à saturer. Bien qu'il ne nous ait pas été possible de calibrer notre simulateur sur les dispositifs (pas de transistors de test), on peut noter, au premier ordre, une bonne concordance entre simulations et mesures ce qui tend à valider notre approche.

IV.4. Méthode de la grille flottante sur EEPROM

Dans le cadre de la thèse de Romain Laffont nous avons travaillé sur la modélisation et la caractérisation d'une mémoire innovante dont il ne nous est malheureusement pas possible de décrire le fonctionnement au moment de l'écriture de ce manuscrit pour des raisons de confidentialité. Ce travail a notamment nécessité la connaissance précise de la relation I-V de la zone tunnel. En général la relation I-V de cette capacité est déterminée à partir de la mesure sur une capacité de test de très grande surface puis ramenée à la capacité de la cellule via une simple loi d'échelle. Le courant tunnel n'est en effet pas mesurable directement sur la cellule en raison de sa très faible amplitude. Après caractérisation de la cellule, nous avons simulé la phase d'effacement et constaté un désaccord très important avec les résultats expérimentaux. Nous avons alors développé une technique permettant la mesure indirecte du courant de la zone tunnel. Ne pouvant publier cette partie de notre travail, nous avons appliqué cette technique à la mémoire EEPROM et présentons nos principaux résultats dans ce paragraphe.

IV.4.1. Principe et mise en équation de la technique

La technique de la grille flottante permet de déterminer la relation I-V d'une capacité pour des courants très faibles et non quantifiables par les appareils de mesures. Pour se faire, la capacité à étudier est connectée à la grille d'un transistor MOS dont le drain est polarisé à une tension très faible (typiquement 50 mV). A l'instant initial la grille est polarisée à un certain potentiel puis le générateur est déconnecté de la grille : le potentiel de la grille devient flottant. La fuite tunnel, à travers l'isolant, décharge lentement la capacité et donc la grille du transistor ce qui modifie son courant de drain. Cette variation de I_{DS} permet de déterminer la variation de la charge sur la grille flottante et par suite la relation I-V de la capacité. Lors de nos travaux de recherche effectués au LPM, nous avons réalisé plusieurs programmes d'exploitation de mesures de la technique de la grille flottante pour la thèse de Sophie Renard dirigée par Jean-Luc Autran [Renard'03].

Comme le montre la figure (IV.10), la mémoire EEPROM est constituée, entre autres, d'un transistor MOS mis en parallèle avec la capacité tunnel (C_{TUN}) ce qui correspond au schéma de principe de la technique de grille flottante. Il faut cependant remarquer que pour cette technique, la capacité du transistor MOS est négligeable devant celle de la capacité tunnel ce qui implique que la charge de la grille flottante se trouve principalement du côté de la capacité contrairement à la mémoire EEPROM.

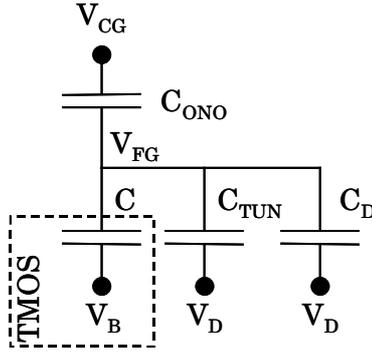


Figure IV.10. Schémas électrique simplifié de la mémoire EEPROM [C23].

L'application d'une faible tension de drain implique une valeur quasi constante de la charge du semi-conducteur le long du canal du transistor MOS. Cette charge est obtenue à partir de la résolution de l'équation aux potentiels (équation (I.19) hors présence de piège) au niveau de la source :

$$Q_{SC} = \pm \sqrt{2kT\epsilon_{si}p_0} \left[\frac{n_0}{p_0} (\exp(\beta\Psi_S - \beta\Phi_C) - \beta\Psi_S - \exp(-\beta\Phi_C)) - 1 + \exp(-\beta\Psi_S) + \beta\Psi_S \right]^{0.5} \quad (IV.14)$$

avec un signe + si $\Psi_S < 0$ et un signe - si $\Psi_S > 0$. Dans cette expression, Φ_C représente la polarisation appliquée entre la source et le substrat. La charge totale du semi-conducteur est alors donnée en fonction de la géométrie du transistor :

$$Q_{SCL} = Q_{SC}LW \quad (IV.15)$$

La charge totale de la grille flottante est :

$$Q_{FG} = Q_{TUN} + Q_{ONO} + Q_D - Q_{SC} \quad (IV.16)$$

où Q_{TUN} et Q_D correspondent respectivement aux charges (en Coulomb) sur la capacité tunnel et sur la capacité de recouvrement côté drain (C_D , donnée en Farad). Q_{ONO} représente la charge de la capacité inter-poly côté grille flottante (C_{ONO} , donnée en Farad).

Ces différentes charges sont reliées aux potentiels par les équations suivantes :

$$\begin{cases} Q_{TUN} = C_{TUN}(V_{FG} - V_D) \\ Q_{ONO} = C_{ONO}(V_{FG} - V_{CG}) \\ Q_D = C_D(V_{FG} - V_D) \end{cases} \quad (IV.17)$$

L'utilisation d'une structure de test (DUMMY cell) fabriquée à partir d'une mémoire EEPROM, dont les deux grilles (de contrôle et flottante) sont connectées, permet de connaître la relation $I_{DS}(V_{GS})$ du transistor MOS de la mémoire EEPROM. A partir de cette courbe, on obtient la tension de bandes plates et le dopage du substrat qui sont des paramètres indispensables au calcul de la charge du semi-conducteur. Supposons à présent que la grille flottante de la mémoire soit déchargée et appliquons une tension importante sur la grille de contrôle. Par couplage capacitif le potentiel de la grille flottante permet au transistor d'être passant et un courant tunnel traverse la capacité tunnel ce qui modifie la charge de la grille flottante et donc le courant du transistor. L'évolution temporelle du courant de drain, $I_{DS}(t)$, est donc l'image de la variation temporelle de la charge de grille, $Q_{FG}(t)$. La connaissance de la courbe $I_{DS}(V_{GS})$ permet déterminer l'évolution temporelle de la

tension de grille flottante, $V_{FG}(t)$. Il devient alors très simple de calculer la charge de la grille flottante à chaque instant, $Q_{FG}(t)$, avec l'équation (IV.16). La relation I-V de la capacité s'obtient à partir de la courbe $V_{FG}(t)$ et d'une simple dérivée :

$$I_{FN}(t) = \frac{dQ_{FG}(t)}{dt} \quad (IV.17)$$

IV.4.2. Evolution temporelle de la charge de grille

Nous avons appliqué cette technique sur des mémoires EEPROM de ST Microélectronique réalisées en technologie 0.18 μm avec un isolant tunnel de 8.3 nm. La figure (IV.11) montre la courbe $I_{DS}(V_{GS})$ obtenue sur la DUMMY cell correspondante avec une tension de drain de 50 mV.

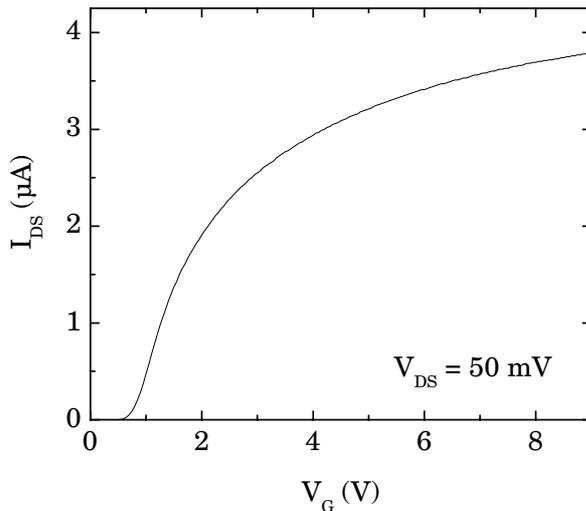


Figure IV.11. Caractéristique $I_{DS}(V_{GS})$ de la DUMMY cell pour $V_{DS} = 50 \text{ mV}$.

La mesure dynamique du courant de drain de la mémoire EEPROM est faite avec un HP4156B en mode échantillonnage, la source et le substrat de la cellule étant connectés à la masse. Le potentiel de grille est obtenu avec un générateur arbitraire de signaux (Tektronics AFG320). En raison du chargement relativement rapide de la grille, quelques 10 ms, nous appliquons une rampe de tension "relativement lente" afin de mesurer avec le plus de précision possible la variation du courant de drain. La figure (IV.12.a) donne le signal appliqué sur la grille de contrôle (vitesse de rampe égale à 17.5 V/s) et la figure (IV.12.b) l'évolution temporelle du courant de drain. On distingue très nettement deux régions sur la courbe $I_{DS}(t)$ qui correspondent à :

- (I) L'augmentation rapide du courant due au couplage capacitif entre la grille de contrôle et la grille flottante,
- (II) La saturation (en fonction du temps) du courant de drain due à l'injection de charges dans la grille flottante par courant Fowler-Nordheim qui écrantent l'augmentation du potentiel appliqué sur la grille de contrôle.

En raison de la résolution du HP4156B en mode échantillonnage de courant, il ne nous est pas possible de mesurer les courants inférieurs au μA (c.f. Fig. (IV.12.b)).

A partir des courbes $I_{DS}(V_{GS})$ et $I_{DS}(t)$, on détermine la courbe $V_{FG}(t)$ donnée à la figure (IV.12.a). Le chargement de la grille flottante est parfaitement visible sur cette courbe avec la saturation de V_{FG} pour les temps supérieurs à 1.2 s.

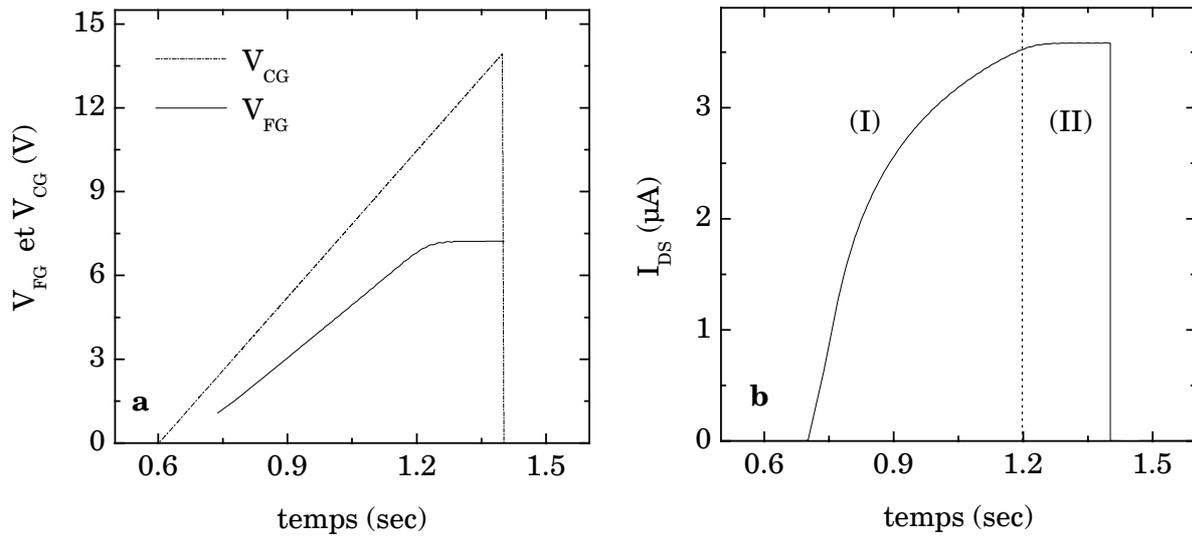


Figure IV.12. Evolution temporelle du signal de grille appliqué à la structure et du potentiel de grille flottante (a). Evolution temporelle du courant de drain de la mémoire (b) mesurée avec un potentiel de drain de 50 mV [C24].

A partir des équations (IV.14) à (IV.17) et de la courbe $V_{FG}(t)$, on calcule l'évolution temporelle de la charge sur la grille flottante. Comme le montre la figure (IV.13), la charge de la grille flottante reste constante tant que l'injection de porteurs n'a pas commencé (région (I)). Ce plateau est suivi d'une rapide chute de Q_{FG} (rapide augmentation de cette charge en valeur absolue) due à l'injection Fowler-Nordheim (région (II)) lorsque le champ électrique dans l'isolant de la capacité tunnel devient suffisamment élevé.

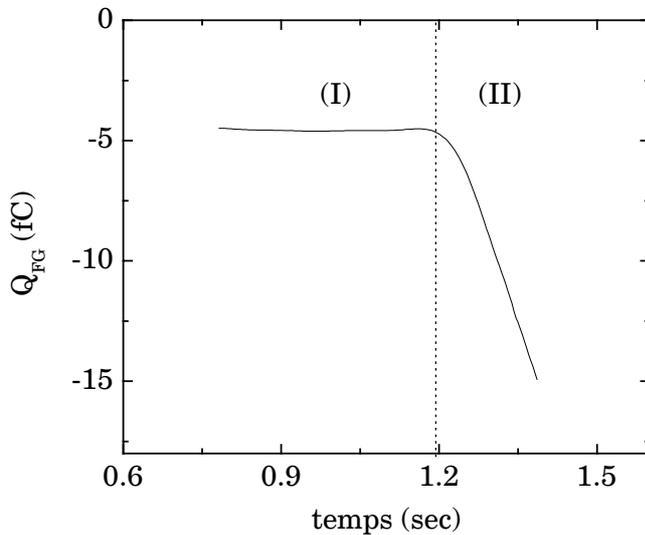


Figure IV.13. Evolution temporelle de la charge de la grille flottante lors de l'opération d'effacement [C24].

IV.4.3. Déduction du courant de la capacité tunnel

La figure (IV.14) de la densité de courant de la capacité tunnel de la mémoire EEPROM obtenue à partir des courbes $Q_{FG}(t)$ et $V_{FG}(t)$ et de l'équation (IV.17). Cette courbe est comparée avec celle obtenue sur une capacité de test (surface = $56000\mu m^2$). On peut remarquer une très bonne corrélation entre ces deux courbes ce qui implique que :

1. La technologie de la mémoire caractérisée est bien maîtrisée.
2. Notre méthode est fiable.

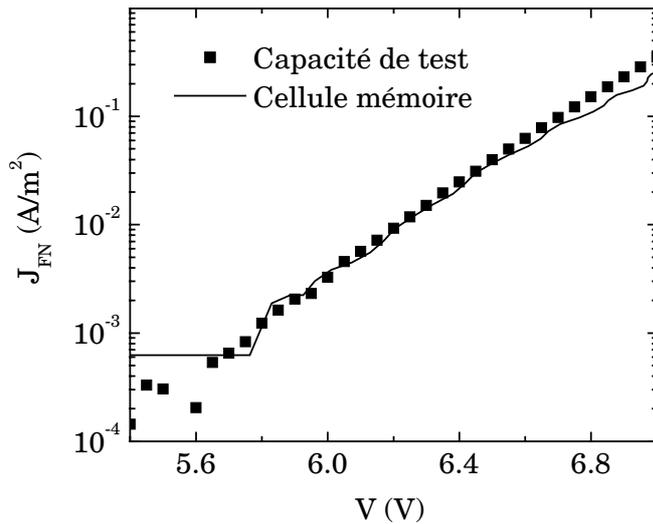


Figure IV.14. Densités de courant (de type Fowler-Nordheim) obtenues sur la capacité de test et sur la mémoire EEPROM [C24].

Notre méthode peut ainsi être appliquée directement sur la mémoire EEPROM si son fonctionnement en effacement (et en programmation) ne correspond pas au comportement attendu. Il est ainsi possible de vérifier la caractéristique I-V de la capacité tunnel. Il est aussi possible de déterminer les paramètres A et B du courant Fowler-Nordheim.

IV.5. Conclusion

En résumé, nous avons décrit dans ce chapitre nos principales contributions au développement de modèles de comportement dynamique des dispositifs mémoires. Ces travaux s'inscrivent dans la thématique "modélisation des mémoires" qui s'est additionnée à nos précédents thèmes de recherche lors de notre arrivée au L2MP. Nous avons cherché à adopter les outils développés lors de nos travaux sur le chargement dynamique des pièges dans l'isolant puis développé des algorithmes spécifiques à la présence d'une grille flottante. Le travail réalisé sur la mémoire Flash a été modifié pour prendre en compte les spécificités de la mémoire à nano-cristaux de silicium et de la mémoire SQUASH (non présentée dans ce document). Ce travail sur la modélisation permet aussi de proposer des méthodes d'extraction de paramètres sur les dispositifs mémoires comme celle que nous avons présenté sur la mémoire EEPROM.

Conclusion

Dans ce mémoire, nous avons développé les principaux travaux abordés durant nos activités de recherche conduites au sein du Laboratoire de Physique de la Matière (LPM), du Laboratoire de Physique des Composants à Semi-conducteurs (LPCS à présent IMEP) et du Laboratoire de Matériaux et Micro-électronique de Provence (L2MP).

Cl.1. Bilan des travaux

Dans ce document, nous avons présenté nos contributions les plus significatives aux cinq thèmes de recherche suivants :

- Thème "matériaux"
- Thème "caractérisation"
- Thème "mécanismes de dégradation"
- Thème "modélisation du TMOS"
- Thème "modélisation des mémoires"

Nos travaux de recherche (i.e. de thèse) étaient initialement basés sur la caractérisation du transistor MOS, notamment de la qualité de son oxyde de grille et de son interface avec le substrat. Nous avons continué la thématique caractérisation de l'oxyde en déterminant les caractéristiques d'un piège unique par pompage de charge sur un transistor de 50 nm de long. L'utilisation du pompage de charge à trois niveaux et de sa modélisation ont notamment permis de lever l'indétermination sur le couple position énergétique/section de capture. Ces développements mathématiques ont été adaptés au cas de la courbe C-V en fréquence de la capacité MOS en incluant l'activité électrique des pièges d'interface. Le simulateur ainsi développé a été mis en œuvre pour déterminer la densité (résolue en énergie) et la section de capture (des électrons) des pièges d'interface du système Si/HfSi_xO_y/HfO₂. Nous avons aussi caractérisé l'augmentation de la densité de pièges d'interface de transistors MOS micro-irradiés (irradiations localisées sur une petite partie de la surface du transistor). Cette expérience d'un type nouveau s'est déroulée au synchrotron de Grenoble (ESRF). Nos différents modèles de simulation de capacité MOS (I-V et C-V) ont rendu possible la détermination de la résolution spatiale des charges fixes dans l'isolant de grille après un stress électrique.

Nous avons aussi continué la modélisation du transistor MOS en travaillant sur des modèles basés sur le calcul du potentiel de surface. Cela a ouvert de nouvelles possibilités de recherche comme l'étude de l'impact des effets quantiques sur les caractéristiques du transistor MOS. La cinétique de remplissage des pièges, développée lors de la modélisation de la technique de pompage de charge, a été introduite dans la modélisation du transistor MOS. Il a alors été possible d'étudier la déformation de la courbe $I_{DS}(V_{GS})$ qu'engendre la présence de pièges dans l'isolant de grille en fonction de l'évolution temporelle du potentiel de grille. Nous avons aussi travaillé sur l'impact d'une non-uniformité des paramètres du transistor le long du canal (dopage, épaisseur d'isolant, charges fixes). Ce travail a été étendu au cas des transistors MOS à isolant de grille ultra-mince (< 1.5 nm) présentant un courant de fuite très important.

Depuis notre arrivée au L2MP, nous avons ajouté la thématique "modélisation des mémoires" à nos travaux de recherche. Cela a commencé par la modélisation de la mémoire Flash en intégrant à nos simulateurs de transistor MOS la présence d'une grille flottante et les mécanismes d'injections Fowler-Nordheim et de porteurs chauds. L'algorithme développé est à présent utilisé par d'autres membres de notre laboratoire pour simuler les opérations d'écriture et d'effacement du plan mémoire. Ce travail sur la mémoire Flash a été étendu aux architectures particulières de la mémoire à nodules et de la mémoire SQUASH..

Notons finalement que durant nos travaux de recherche, nous avons toujours privilégié une forte approche théorique couplée à un important travail expérimental. De plus, nous avons essayé de mener de front une recherche appliquée et une recherche plus amont en fonction de nos partenaires.

Cl.2. Quelques perspectives de travail

Tous les travaux réalisés jusqu'à présent nous ont permis de créer une nouvelle thématique de recherche au sein de l'opération mémoire de l'équipe de Rachid BOUCHAKOUR que nous avons baptisé **MISSi** pour **Mémoires Innovantes Sur Silicium**.

Cette activité naissante, qui regroupe deux permanents et six doctorants, a pour but de modéliser et caractériser des mémoires de types ou d'architectures innovantes pour nos partenaires industriels. On peut ainsi distinguer les actions suivantes :

- Modélisation des comportements statique et dynamique des mémoires. Cette action se propose d'expliquer en détail le fonctionnement des mémoires et de générer les blocs de simulation spécifiques. Ces blocs sont alors intégrés à d'autres programmes permettant de simuler le comportement dynamique des opérations d'écriture et d'effacement.
- Caractérisation des mémoires. Cette action a pour objectif de caractériser les mémoires en régimes statique et dynamique (opérations d'écriture et d'effacement). Ce travail permet à la fois de calibrer les simulateurs et de proposer des structures de tests et des techniques de caractérisation spécifiques aux mémoires étudiées.
- Pré-optimisation des mémoires. La thématique MISSi a aussi pour vocation de pré-optimiser les géométries et les signaux de programmation des mémoires. L'étude en endurance se fait sur quelques milliers de cycles afin de vérifier si les phases de programmation ne sont pas fatales au bon fonctionnement des mémoires. Finalement, la connaissance à la fois du fonctionnement des mémoires et de leur fabrication, peut conduire à de légères modifications des procédés technologiques.

En parallèle, cette thématique a pour objectif de proposer ses propres dispositifs mémoires, de les valider d'un point de vue concept et simulation puis de les réaliser sur silicium. Cela englobe les actions décrites précédemment.

En résumé, les travaux de recherche, formant le corps de l'opération MISSi, sont donnés à la figure (Cl.1) et s'articulent autour de cinq thèmes :

- Thèmes "modélisation de la capacité MOS" et "modélisation du transistor MOS". Ces deux thèmes ont pour finalité la création des briques élémentaires de la modélisation des mémoires. Le travail sur la capacité, à une dimension, peut aussi

être étendu au TMOS (considération pseudo-2D) et donc être un pré-développement de la modélisation du transistor MOS.

- Thème "modélisation des mémoires". Les briques élémentaires sont assemblées afin d'étudier le comportement électrique des dispositifs mémoires. Pour certaines mémoires, il peut s'avérer nécessaire de créer de nouveaux éléments de base. Des simulations plus complexes de type 2D ou 3D avec le logiciel ISE sont à envisager pour mettre en évidence certains phénomènes physiques ou aider à leur compréhension. Le but final étant de mettre en oeuvre des simulateurs de type compact et donc compatibles avec les logiciels de conception de circuits.
- Thème "mécanismes de dégradation". Ce thème intervient sur les trois premiers pour déterminer l'endurance des mémoires ou la tenue en stress des composants élémentaires (pré-optimisation de la cellule). Ce thème permet aussi de vérifier la viabilité du dispositif mémoire et des signaux de programmation appliqués.
- Thème "caractérisation". Ce thème intervient aussi sur les trois premiers. Divers types de techniques sont à mettre en oeuvre pour caractériser les éléments de base ou les mémoires ainsi que les matériaux employés. On peut citer les mesures I-V, C-V, pompage de charge et cyclage.

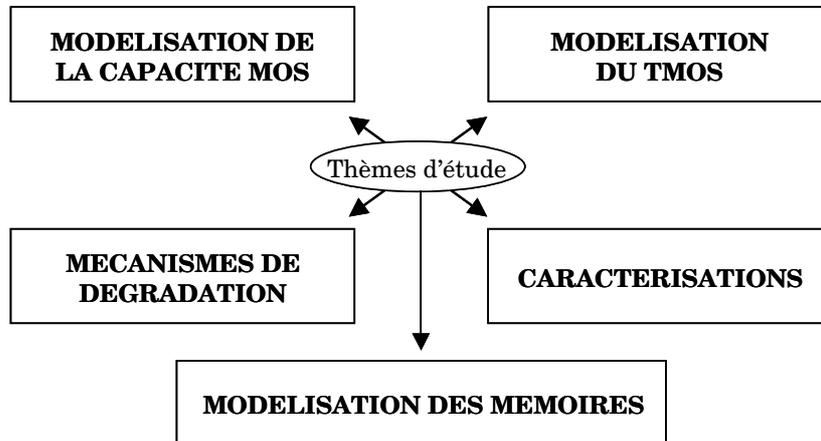


Figure Cl.1. *Résumé synthétique des thèmes d'étude de la thématique MISSi.*

La figure (Cl.2) donne un aperçu des mémoires étudiées dans l'opération MISSi. Même si les mémoires Flash et DRAM ne sont pas en soit innovantes, l'étude de ces structures permet la réalisation de certaines fonctions de base essentielles à l'étude de mémoires beaucoup plus innovantes. Les mémoires à nodules de silicium sont intégrées dans cette opération. Nous travaillons aussi sur les mémoires DRAM sans capacité qui permettent de s'affranchir de la problématique liée à la fabrication de la capacité de stockage. Le principe de cette mémoire est de charger le substrat flottant d'un transistor MOS. Plusieurs types de 1T DRAM (DRAM constitué d'un transistor) sont actuellement à l'étude. Nous commençons à travailler sur les mémoires NVM (Non Volatile Memory) à piégeage de charges dans une couche d'Al₂O₃ intégrée à l'isolant de grille des transistors MOS. Pour ce type de mémoire, nous mettrons en oeuvre tous nos travaux portant sur le piégeage-dépiégeage dynamique des porteurs dans l'isolant. Une autre architecture de mémoire basée sur ce type de stockage de charges est actuellement à l'étude. Nous nous sommes très récemment engagés auprès d'une autre équipe de notre laboratoire à travailler sur la mémoire FeRAM. Cette mémoire intègre à la capacité de la DRAM les propriétés ferroélectriques de certains matériaux (changement de la valeur de la capacité en fonction des tensions appliquées avec effet mémoire). Nous avons aussi en cours d'étude deux mémoires développées en interne : la DEEPROM et la DGEEPROM.

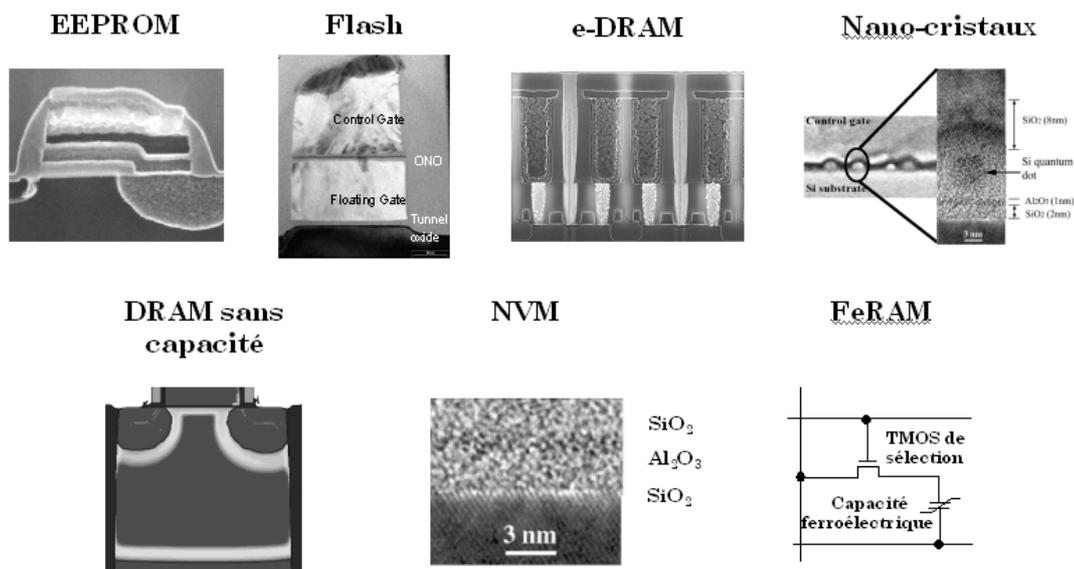


Figure Cl.2. *Quelques mémoires étudiées et modélisées dans la thématique MISSi.*

Pour étayer nos futures actions à court terme, nous pouvons donner les quelques perspectives suivantes :

- Le transistor segmenté est un modèle très intéressant dont nous n'avons pas encore exploité toutes les possibilités. On peut ainsi envisager d'étudier l'impact d'une non-uniformité d'épaisseur d'isolant le long du canal sur les caractéristiques $I_{DS}(V_{GS}, V_{DS})$. Ce problème d'épaisseur peut s'observer au niveau du passage oxyde mince / oxyde épais du transistor d'état de la cellule mémoire EEPRM. Il est aussi possible de matricer le transistor MOS (segmentation suivant la longueur et la largeur du canal). Ce découpage permettra l'étude de l'impact d'une non uniformité locale du transistor (sur sa surface) sur ses caractéristiques électriques. On peut, là aussi, envisager d'étudier l'influence d'une réduction locale de l'épaisseur d'isolant (une couche atomique pour un isolant de 1.5 nm, par exemple) en fonction de sa position dans le canal. Nous prévoyons aussi d'introduire les effets de canaux courts dans le modèle segmenté. Comme nous l'avons montré avec la mémoire à nodules, l'approche segmentée permet de simuler l'impact d'une variation locale de la tension de bandes plates sur le fonctionnement du transistor. Cependant les charges, introduites dans l'isolant au niveau d'un transistor élémentaire, n'influencent pas les transistors élémentaires voisins. Il nous semble intéressant de vérifier jusqu'à quel point le modèle segmenté est utilisable pour ce type d'application. Pour cela nous réaliserons un simulateur Poisson 2D du transistor MOS couplé à l'équation du courant mais sans considérer les diodes d'accès. La réduction des dimensions des transistors MOS pour les nouvelles générations de cellules mémoires nécessite la prise en compte des effets quantiques. On pourrait ainsi envisager l'utilisation du code DYNAMOS pour la simulation des phases d'écriture et d'effacement d'une cellule mais les temps de calcul seraient prohibitifs. C'est pourquoi nous travaillerons sur les modèles approchés des effets quantiques puis nous étudierons l'impact de ces effets sur le fonctionnement des mémoires.
- L'étude du chargement de l'oxyde de la capacité MOS sera poursuivie notamment pour déterminer la loi de variation de Q_{ox} en fonction du temps de stress et de la polarisation. Cette loi permettra de déterminer la fermeture de la fenêtre de

programmation en fonction des signaux appliqués à la mémoire EEPROM. Nos travaux, portant sur la modélisation pseudo 2D du courant tunnel des capacités MOS présentant une rugosité de surface, seront étendus à une modélisation 2D. Cela implique la recherche des lignes de conduction dans l'isolant et donc de la transparence des électrons. Contrairement au modèle pseudo 2D, ce nouveau simulateur permettra de considérer l'effet de pointe. Ce simulateur sera modifié pour prendre en compte la spécificité de la capacité des mémoires DRAM : double isolant de type ON (oxyde-nitride) et électrode réalisée à partir de grains hémisphériques de silicium (HSG : Hemispherical Grained Silicon). Cette partie a pour objectif d'expliquer la forme particulière de la courbe C-V de ce type de capacité. La modélisation des courbes I-V et C-V de la capacité Ferroélectrique de la mémoire FeRAM est aussi planifiée à court terme. C'est en effet le point bloquant de ce type de mémoire. La connaissance du chargement de l'isolant de type NO des capacités MOS est aussi très importante pour comprendre le comportement électrique des mémoires à piégeage de charges. Dans la continuité de nos précédents travaux, nous porterons une grande attention à la modélisation de ce phénomène de piégeage en fonction de la température du dispositif.

A moyen terme, nous envisageons de travailler sur la modélisation de type VHDL-AMS afin de rendre nos simulateurs exploitables par l'ensemble des concepteurs. Nous espérons aussi appliquer nos modèles à l'étude de circuits élémentaires (quelques transistors et cellules mémoires). On peut ainsi envisager d'utiliser la particularité des dispositifs mémoires pour ajuster la tension de seuil d'un des transistors du circuit. Nous envisageons aussi de travailler sur les blocs analogiques de programmation et de lecture du plan mémoire (pompe de charges, amplificateur de lecture...). Cette nouvelle orientation apportera un champ d'actions plus complet à l'opération mémoire du L2MP. Cet aspect conception de circuits fait partie de nos objectifs initiaux de recherche : travailler sur la modélisation du transistor MOS (et des dispositifs MOS en général) puis, peu à peu, évoluer vers la conception de circuits intégrés de type analogique.

La majeure partie de ces perspectives sera réalisée dans le cadre de collaborations universitaires, de contrats industriels et du futur Centre Commun de Recherche (ST Microelectronics, Rousset).

Références

- [Ando'82] T. Ando, A.B. Fowler, F. Stern, Electronic properties of two-dimensional systems, *Rev. Mod. Phys.*, Vol. 54, No. 2, 1982, p. 437-672
- [Autran'99a] J.L. Autran, Caractérisation et simulation du système Si/SiO₂ dans les dispositifs MOS avancés, Mémoire d'Habilitation à Diriger les Recherches, INSA de Lyon, 1999, 96 pages
- [Autran'99b] J.L. Autran, B. Balland, G. Barbottin, Charge pumping techniques : the methods and their applications, *In Instabilities in Silicon Devices – Silicon Passivation and Related Instabilities*, edited by G. Barbottin and A. Vapaille, Elsevier Science Publisher North-Holland, Amsterdam, Vol. 3, Chap. 6, 1999, p. 405-493
- [Brews'78] J.R. Brews, A charge-sheet model of the MOSFET. *Solid-State Electronics*, Vol. 21, 1978, p. 345-355
- [Brugler'69] S.S. Brugler and P. Jespers, G.A. Charge pumping in MOS devices, *IEEE Trans. Electron Devices*, Vol. 16, No. 3, 1969, p. 297-302
- [Caplan'79] P.J. Caplan, E.H. Poindexter, B.E. Deal and R.R. Razouk, ESR centers, interface states, and oxide fixed charge in thermally oxidized silicon wafer, *J. Appl. Phys.*, Vol. 50, No. 9, 1979, p.5874-5854
- [Canet'01] P. Canet, R. Bouchakour, N. Harabech, Ph. Boivin, J.M. Mirabel, C. Plossu, Improvement of EEPROM cell reliability by optimization of signal programming, *Journal of Non-Crystalline Solids*, Vol. 280, 2001, p.116-121
- [Chanelier'99] C. Chanelier, Realisation et analyse-caracterisation de dispositifs MOS à diélectrique de grille en Ta₂O₅, *Thèse de doctorat*, INSA de Lyon, Lyon,1999, 199 pages
- [Do Thanh'88] L. Do Thanh and P.J. Balk, Elimination and generation of Si-SiO₂ interface traps by low temperature hydrogen annealing, *J. Electrochem. Soc.*, Vol. 135, No. 7, 1988, p. 1797-1801
- [Dray'02] C. Dray, P. Gendrier, A novel memory array based on an annular single-poly EPROM cell for use in standard CMOS technology, *Proceeding of International Workshop on Memory Technology, Design and Test (MTDT)*, 2002
- [Elliot'76] A.B.M. Elliot, The use of charge pumping currents to measure surface state densities in MOS transistors, *Solid-State Electronics*, Vol. 19, 1976, p. 241-247

- [Engstrom'91] P. Engstrom, S. Larsson, A. Rindby, A submicron synchrotron X-ray beam generated by capillary optics, *Nucl. Instrum. Meth. Phys. Res. A302*, 1991, p. 547
- [Fromhold'81] A. T. Fromhold, Quantum mechanical for applied physics and engineering, Academic Press, New York, 1981
- [Groeseneken'84] G. Groeseneken, H.E. Maes, N. Beltran and R.F. De Keersmaecker, A reliable approach to charge-pumping measurements in MOS transistors. *IEEE Trans. Electron Devices*, Vol. 31, No. 1, 1984, p. 42-53
- [Gusev'01] E.P Gusev, E. Cartier, D.A. Duchanan, M. Gribelyuk, M. Copel, H. Okorn-Schmidt, C. D'Emic, Ultrathin high- κ metal oxides on silicon: processing characterization and integration issues, *Microelectronic Engineering*, Vol 59, 2001, p. 341-349
- [Heiman'65] F.P. Heiman and G. Warfield, The effect of oxide traps on the MOS capacitance, *IEEE Trans. Electron Devices*, April, 1965, p. 167-178
- [Johnson'88] N.M. Johnson, Electronic and optical properties of silicon dangling-bond defects at the Si-SiO₂ interface, *In The physics and chemistry of SiO₂ and the Si-SiO₂ interface*, edited by C.R. Helms and B.E. Deal, Plenum Press, New-York, 1988, p. 319-326
- [Ku'94] P. S. Ku, D. K. Schroder, Charges trapped throughout the oxide and their impact on the Fowler-Nordheim current in MOS devices, *IEEE Trans. On Electron Devices*, Vol. 41, No. 9, 1994, p. 1669-1672
- [Lee'01] J.C. Lee, B. Lee, L. Kang, R. Nieh and K. Onishi, Ultra-thin High-K gate dielectrics, *Proceeding ULIS'2001*, Grenoble, 2001, p. 67-71
- [Manchanda'01] L. Manchanda, M.D. Morris, M.L. Green, R.B. van Dover, F. Klemens, T.W. Sorsch, P.J. Silverman, G. Wilk, B. Busch, S. Aravamudhan, Multi-component high-k gate dielectrics for the silicon industry, *Microelectronic Engineering*, Vol. 59, 2001, p. 351-359
- [Maneglia'99] Y. Maneglia, D. Bauza, Evolution of the Si-SiO₂ interface trap characteristics with Fowler-Nordheim injection, *Proceedings of the 1999 International Conference*, 1999, p. 117 –120
- [Miranda'02] E. Miranda, G. Redin, A. Faigon, Modeling of I-V characteristics of high-field stressed MOS structures using a Fowler-Nordheim-type tunneling expression, *Microelectronics Reliability*, Vol. 42, 2002, p. 935-941
- [Moazzami'90] R. Moazzami, C. Hu, W.H. Shepherd, A ferroelectric DRAM cell for highdensity NVRAM's, *IEEE Trans. On Electron Device Letters*, Vol. 11, No 10, 1990, p. 454-456
- [Nicollian'82] E. H. Nicollian and R. R. Brews, MOS Physics and Technology, Wiley, New York, 1982

- [Ohsaki'94] K. Ohsaki, N. Asamoto, S. Takagaki, A single poly EEPROM cell structure for use in standard CMOS processes, *Journal of Solid-State Circuits*, Vol. 29, No. 3, 1994, p. 311-315
- [Pao'66] H.C. Pao and C.T. Sah, Effects of diffusion current on characteristics of Metal-Oxide (Insulator) – Semiconductor transistors, *Solid State Electronics*, Vol. 9, 1966, p. 927-937
- [Pavan'97] P. Pavan, R. Bez, P. Olivo, E. Zanoni, *IEEE proceedings of the IEEE*, Vol. 85, No. 8, 1997
- [Plossu'01] C. Plossu, S. Croci, N. Monti, R. Bouchakour *et al*, Conduction properties of electrically erasable read only memory tunnel oxides under dynamic stress, *Journal of Non-Crystalline Solids*, Vol. 280, 2001, p. 103-109
- [Poindexter'81] E.H. Poindexter, P.J. Caplan, B.E. Deal and R.R. Razouk, Interface states and electron spin resonance centers in thermally oxidize (111) and (100) silicon wafer, *J. Appl. Phys.*, Vol. 52, No. 2, 1981, p. 879-884
- [Poindexter'88] E.H. Poindexter, P.J. Caplan and G.J. Gerardi, Chemical and structural features of inherent and process-induced defects in oxidized silicon, In *The physics and chemistry of SiO₂ and Si-SiO₂ interface*. Edited by C.R. Helms and B.E. Deal. New York : Plenum Press, 1988, p. 299-308
- [Rosenfeld'01] A.B. Rosenfeld, M.L.F. Lerch, T. Kron, E. Brauer-Kirsch, A. Bravin, A. Holmes-Siedle, B.J. Allen, Feasibility study of online high-spatial-resolution MOSFET dosimetry in static and pulsed X-Ray radiation fields, *IEEE Trans. On Nuclear Science*, Vol. 48, No. 6, 2001, p. 2061-2068
- [Roux'92] O. Roux Dit Buisson, Etude du bruit électrique en 1/f et des fluctuations RTS aux basses fréquences dans le transistor MOS submicronique, Thèse Sci. INP de Grenoble, 1992, 166 pages
- [Saks'95] N.S. Saks, G. Groeseneken and I. DeWolf, Characterisation of individual interface traps with charge pumping, *Appl. Phys. Lett.*, Vol. 68, No. 10, 1995, p. 1383-1385
- [Saks'97] N.S. Saks, Measurement of single interface trap capture cross section with charge pumping, *Appl. Phys. Lett.*, Vol. 70, No. 25, 1997, p. 3380-3382
- [Sakurai'81] T. Sakurai and T. Sugano, Theory of continuously distributed trap states at Si-SiO₂ interface, *J. Appl. Phys.*, Vol. 52, No. 4, 1981, p. 2889-2849
- [Shi'98] Y. Shi, K. Saito, H. Ishikuro, T. Hiramoto, Effets of traps on charge storage characteristics in metal-oxide-semiconductor memory structures based on silicon nanocrystal, *J. Appl. Phys.* Vol. 84, No.4, 1998, p. 2358-2360
- [Shockley'52] W. Shockley and W.T. Read, Statistics of the recombinaison of holes and electrons, *Phys. Rev.*, Vol. 87, No. 5, 1952, p. 62-69

- [Stahlbush'96] R.E. Stahlbush, Slow and fast state formation caused by hydrogen, In *The physics and chemistry of SiO₂ and the Si-SiO₂ interface – 3*, edited by H.Z. Massoud, E.H. Poindexter and C.R. Helms, The Electrochemical Society; Pennington, 1996, p. 525-537
- [Sun'80] S.C. Sun and J.D. Plummer, Electron mobility in inversion and accumulation layer on thermally oxidised silicon surfaces. *IEEE Trans. Electron Devices*, Vol. 27, 1980, p. 1497-1508
- [Suñé'00] J. Suñé, X. Oriols, J.L. Autran, Non-equilibrium gate tunneling current in ultra-thin (< 2 nm) oxide MOS devices, *J. Non-Cryst. Solids*, Vol. 280, 2000, p. 127-131
- [Tam'84] S. Tam, PK Ko, C. Hu, Lucky-electron model of channel hot-electron injection in MOSFET's, *IEEE Trans. Electron Devices*, Vol. 31, No. 9, 1984, p. 1116-1125
- [Tiwari'96] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E.F. Crabbe, K. Chan, A silicon nanocrystals based memory, *Appl. Phys. Lett.* Vol. 68, No. 10, 1996, p. 1377-1379
- [Tseng'87] W.L. Tseng, A new charge pumping method of measuring Si-SiO₂ interface state, *J. Appl. Phys.*, Vol. 62, No. 2, 1987, p.591-599
- [Tsividis'99] Y. Tsividis, Mc Graw, Operation and modeling of the MOS transistor, *Hill international Edition*, 1999
- [Van'75] R.J. Van Overstraeten, G.J. Declerck and P.A. Muls, Theory of the MOS transistor in weak inversion - New method to determine the number of surface states, *IEEE Trans. Electron Devices*, Vol. 22, 1975, p. 282
- [Van-Dort'94] M.J. van Dort, P.H. Woerlee, A.J. Walker, A simple model for quantisation effect In heavily-doped silicon MOSFETs at inversion conditions, *Solid-St. Electron.* Vol. 37, 1994, p. 411-414
- [Wang'95] C.L. Wang, Computation of current and transconductance of a nonuniformly doped channel MOSFET with an arbitrary doping profile, *Solid-St. Electron.* Vol. 38, No. 8, 1995, p. 1423-1429
- [Wang'96] Z. Wang, Y. Nakamura, A new type of GMR memory, *Journal of Magnetism and Magnetic Materials*, Vol. 155, 1996, p. 161-163

Curriculum vitae

Pascal MASSON

Né le 23 octobre 1969 à Malo-les-bains.

Nationalité française.

Adresse professionnelle : Laboratoire de Matériaux et Microélectronique de Provence
L2MP, Technopôle de Château-Gombert
13451 Marseille Cedex 20
Tel : 04 91 05 47 79
Fax : 04 91 14 45 29
E-mail : pascal.masson@polytech.univ-mrs.fr

DIPLOMES ET TITRES UNIVERSITAIRES

- 1999 Diplôme de Doctorat** de l'Institut National des Sciences Appliquées de Lyon.
Formation doctorale "Dispositifs de l'Electronique Intégrée"
Mention "très honorable avec félicitations"
- 1996 Diplôme d'Etudes Approfondies** de l'Université Joseph Fourier de Grenoble
Formation doctorale "Micro-électronique"
Mention "bien"
- 1996 Diplôme d'Ingénieur** de l'Institut National Polytechnique de Grenoble.
Ecole Nationale Supérieure d'Electronique et de Radioélectricité de Grenoble.
Mention "Bien"
- 1993 Diplôme de Maîtrise** de l'Université Aix-Marseille 1
Formation "Electronique, Electrotechnique et Automatique"
- 1991 Diplôme Universitaire Technologique** de l'Université Aix-Marseille 3
Formation "Génie Electrique option Electronique et Informatique Industrielle"

EMPLOIS OCCUPES

- 2001 Université d'Aix-Marseille 1.**
Maître de Conférences depuis le 1^{er} octobre 2001 en poste au L2MP et à l'Ecole Polytechnique Universitaire de Marseille, Département Micro-électronique et Télécommunications (emploi n° 63 MCF 0754).
- 2000 Institut National des Sciences Appliquées, Lyon.**
Maître de Conférences depuis le 1^{er} janvier 2000 (emploi n° 63 MCF 0118).
- 1999 Institut National des Sciences Appliquées, Lyon, Institut National Polytechnique, Grenoble**
Chercheur Post-doctoral (11 mois).
- 1996- Institut National des Sciences Appliquées, Lyon, Institut National Polytechnique, Grenoble**
- 1999 Allocataire de Recherche** au Laboratoire de Physique de la Matière et au Laboratoire de Physique des Composants à Semi-conducteurs (27 mois)

Liste des travaux

Ouvrages

- [O1] B. De Salvo, P. Masson, From floating-gate non-volatile memories to silicon nano-crystal memories, in Recent research developments in non-crystalline-solids, Pandalie, Vol. 2, 2002

Revues

- [R1] P. Masson, J.L. Autran, C. Raynaud, O. Flament, P. Paillet, Surface potential determination in irradiated MOS transistors combining current-voltage and charge pumping measurements. *IEEE Transactions on Nuclear Science*, 1998, Vol. 45, No. 3, p. 1355-1364.
- [R2] P. Masson, G. Ghibaudo, J.L. Autran, P. Morfouli, J. Brini, Influence of the quadratic mobility degradation factor on the low frequency noise in MOS transistors. *IEE Electronics Letters*, 1998, Vol. 34, No. 20, p. 1977-1978.
- [R3] P. Masson, J.L. Autran, J. Brini, On the tunneling component of charge pumping current in Ultra-thin gate oxide MOSFET's. *IEEE Electron Device Letters*, 1999, Vol. 20, No. 2, p. 92-94
- [R4] P. Masson, P. Morfouli, J.L. Autran, J. Brini, B. Balland, E.M. Vogel, J.J. Wortman, Electrical characterization of thin RTO and RTCVD silicon oxynitride films using noise and charge pumping measurements. *Journal of Non-Crystalline Solids*, 1999, Vol. 245, No. 1-3 p. 54-58
- [R5] P. Masson, P. Morfouli, J.L. Autran, J.J. Wortman, Electrical characterization of n-channel MOSFET's with oxynitride gate dielectric formed by Low-Pressure Rapid Thermal Chemical Vapor Deposition. *Microelectronic Engineering*, 1999, Vol 48, No. 1-4, p. 211-214
- [R6] J.L. Autran, P. Masson, N. Freud, C. Raynaud, C. Riekkel, Micro-Irradiation experiments in MOS transistors using synchrotron radiation. *IEEE Transactions on Nuclear Science*, 2000, Vol. 47, No. 3, p. 574-579
- [R7] P. Masson, J.L. Autran, G. Ghibaudo, An improved time domain analysis of the charge pumping current. *Journal of Non-Crystalline Solids*, 2001, Vol. 280 No. 1-3, p. 255-260
- [R8] B. De Salvo, G. Ghibaudo, G. Pananakakis, P. Masson, T. Baron, N. Buffet, A Fernandes, B. Guillaumot, Experimental and theoretical investigation of nano-crystal and nitride-trap memory devices, *IEEE Transactions on Electron Devices*, 2001, Vol. 48, No. 8, p. 1789-1799
- [R9] C.E. Weintraub, E. Vogel, J.R. Hauser, N. Yang, V. Misra, J.J. Wortman, J. Ganem and P. Masson, Study of low-frequency charge pumping on thin stacked dielectrics, *IEEE Transactions on Electron Devices*, 2001, Vol. 48, No. 12, p. 2754-2762
- [R10] P. Masson, J.L. Autran, D. Munteanu, DYNAMOS : a numerical MOSFET model including quantum-mechanical and near-interface trap transient effects, *Solid-State Electronics*, 2002, Vol. 46, p 1051-1059

- [R11] L. Militaru, P. Masson, G. Geguan, Three level charge pumping on a single interface trap, *IEEE Electron Device Letters*, 2002, Vol. 23, No. 2, p. 94-96
- [R12] P. Masson, J.L. Autran, M. Houssa, X. Garros and C. Leroux, Frequency characterization and modeling of interface traps in metal-oxide-semiconductor structures with HfO₂ gate dielectrics from a capacitance point-of-view, *Applied Physic Letters*, 2002, Vol. 81, No. 18, p. 3392-3394
- [R13] R. Laffont, P. Masson, S. Bernardini, R. Bouchakour, J.M. Mirabel, A new floating compact model applied to Flash memory cell, *Journal of Non-Crystalline Solids*, to be published, 2003

Conférences internationales avec actes et comité de lecture

- [C1] P. Masson, J.L. Autran, C. Raynaud, O. Flament, P. Paillet, Surface potential determination in irradiated MOS transistors combining current-voltage and charge pumping measurements. *Proceeding of the 4th IEEE European Conference on radiation and its Effects on Components and Systems (RADECS)*, Cannes 1997, Proceeding RADECS 97TH8294, p. 26-35
- [C2] P. Masson, P. Morfouli, J.L. Autran, J. Brini, B. Balland, E.M. Vogel, J.J. Wortman, Electrical characterization of thin RTO and RTCVD silicon oxynitride films using noise and charge pumping measurements. *2nd French-Italian Symposium on SiO₂ and advanced dielectrics*, L'Aquila (Italie), juin 1998
- [C3] P. Masson, P. Morfouli, J.L. Autran, et J.J. Wortman, Electrical characterization of n-channel MOSFET's with oxynitride gate dielectric formed by Low-Pressure Rapid Thermal Chemical Vapor Deposition. *INFOS'99*, Erlangen (Allemagne) 16-19 juin 1999
- [C4] J.L. Autran, P. Masson, N. Freud, C. Raynaud, C. Riekkel, Micro-Irradiation experiments in MOS transistors using synchrotron radiation *Proceeding of the 5th IEEE European Conference on radiation and its Effects on Components and Systems (RADECS)*, Fontevraud (France) 1999, Proceeding RADECS 99TH8471, p. 256-261.
- [C5] B. De Salvo, R. Clerc, P. Masson, Y.A. Ahouassa, G. Ghibaud, Electrical characterization and modelling of ultra-thin (1.8-3.4 nm) gate oxides, *Proceedings ESSDERC*, Leuven (Belgique) 1999, p. 168-171
- [C6] J.L. Autran, P. Masson, G. Ghibaud, Challenges in interface trap characterization of deep sub-micron MOS devices using charge pumping techniques (invited)., *MRS Boston 1999*, Mat. Res. Soc. Symp. Proc. Vol. 592, p. 275-288
- [C7] Raynaud C., J.L. Autran, P. Masson, M. Bidaud, A. Poncet, Analysis of MOS device capacitance-voltage characteristics based on the self-consistent solution of the schrödinger and Poisson equations., *MRS Boston 1999*, Mat. Res. Soc. Symp. Proc. Vol. 592, p. 159-164
- [C8] P. Masson, J.L. Autran, G. Ghibaud, An improved time domain analysis of the charge pumping current. *3rd French-Italian Symposium on SiO₂ and advanced dielectrics*, Fuveau (France), juin 2000
- [C9] J.L. Autran, M. Bidaud, N. Emonet, P. Masson, A. Poncet, Quantum mechanical modeling of gate tunneling currents in metal-oxide-semiconductor devices. *3rd French-Italian Symposium on SiO₂ and advanced dielectrics*, Fuveau (France), juin 2000

- [C10] P. Masson, J.L. Autran, D. Munteanu, DYNAMOS : a numerical MOSFET model including quantum-mechanical and near-interface trap transient effects, *2nd European Workshop on Ultimate Integration of Silicon (ULIS)*, Grenoble, février 2001
- [C11] B. De Salvo, G. Ghibaudo, G. Pananakakis, P. Masson, A. Fernandes, T. Baron, N. Buffet, D. Mariolle, B. Guillaumot, Electrical characterisation and modeling of memory-cell structures employing discrete-trap type storage nodes, *Silicon Nanoelectronics Workshop*, Kyoto (Japon), juin 2001
- [C12] L. Militaru, P. Masson, V. Celibert, C Leroux, Single Trap Characterization in 50nm MOS Transistors by Charge Pumping Measurements, *ESSDERC 2001*, Nuremberg (Allemagne), septembre 2001
- [C13] A. Fernandez, B. DeSalvo, P. Masson, G. Pananakakis, G. Ghibaudo, T. Baron, N. Buffet, D Mariolle, G. Ghibaudo, Electrical characterization of memory-cell structure employing ultra-thin Al₂O₃ film as storage node, *ESSDERC 2001*, Nuremberg (Allemagne), septembre 2001
- [C14] A. Fernandez, B. DeSalvo, T. Baron, J.F. Damlencourt, A.M. Papon, D. Lafond, D. Mariolle, B. Guillaumot, P. Besson, P. Masson, G. Ghibaudo, G. Pananakakis, F. Martin, S. Haukka, Memory characteristics of Si quantum dot devices with SiO₂/Al₂O₃ tunneling dielectrics, *IEDM 2001*
- [C15] P. Masson, J.L. Autran, X. Garros and C. Leroux, Frequency characterization and modeling of interface traps in metal-oxide-semiconductor capacitors with polysilicon gate and HfO₂ high-κ dielectrics, *3rd European Workshop on Ultimate Integration of Silicon (ULIS)*, Munich, June 2002
- [C16] P. Masson, L. Militaru, B. DeSalvo, G. Ghibaudo, V. Celibert, T. Baron, Nano-crystal memory devices characterization using the charge pumping technique, in "*Proceedings of ESSDERC'2002, 32nd European Solid-State Devices Research Conference*", University of Bologna, G. Baccarani, Firenze, Italy, p. 235-238, 2002
- [C17] R. Laffont, P. Masson, R. Bouchakour, S. Bernardini, J.M. Mirabel, A new Flash physical model based on Pao and Sah approach, *4th French-Italian Symposium on SiO₂ and advanced dielectrics*, Florence (Italy), septembre 2002
- [C18] B. Guillaumot, X. Garros, F. Lime, K. Oshima, B. Tavel, J.A. Chroboczek, P. Masson, R. Truche, A.M. Papon, F. Martin, J.F. Damlencourt, S. Maitrejean, M. Rivoire, C. Leroux, S. Cristoloveanu, G. Ghibaudo, J.L. Autran, T. Skotnicki, S. Deleonibus, 75 nm damascene metal gate and high-k integration for advanced CMOS devices, *IEDM 2002*
- [C19] S. Bernardini, R. Laffont, P. Masson, G. Ghibaudo, S. Lombardo, B. De Salvo, C. Gerardi, A predictive nano-crystal Flash memory simulator, *4th European Workshop on Ultimate Integration of Silicon (ULIS)*, Udine (Italy), June 2003, p. 143-146
- [C20] S. Bernardini, P. Masson, M. Houssa, Effect of fixed dielectric charges on tunneling transparency in MIM and MIS structures, *INFOS'2003*, p. PS12
- [C21] L. Lopez, P. Masson, D. Née, R. Bouchakour, Temperature and drain voltage dependence of Gate Induce Drain Leakage, *INFOS'2003*, p. PS14
- [C22] A. Villaret, R. Ranica, P. Masson, P. Mazoyer, S. Cristoloveanu, T. Skotnicki; Mechanisms of charge modulation in floating body of triple-well N-MOSFET capacitor-less DRAMs, *INFOS'2003*, p. WS3-7
- [C23] S. Bernardini, P. Masson, M. Houssa, F. Lalande, Impact of oxide charge trapping on I-V characteristics of MIM capacitor, *ESSDERC'2003*

- [C24] R. Laffont, P. Masson, P. Canet, B. Delsuc, R. Bouchakour, J.M. Mirabel, Fowler Nordheim current determination during EEPROM cell operation, *ESSDERC'2003*

Thèse et autres publications

- [D1] P. Masson, J.L Autran, Transistor MOS à effet de champ : éléments de théorie et de pratique. Polycopié de cours, *INSA-GPM*, 5^e année, 1998, 52 pages
- [D2] A. Chovet, P. Masson, Physique des composants à semi-conducteur. Polycopié de cours, *ENSERG (INP de Grenoble)*, 2^{ème} année, 1998, 90 pages
- [D3] P. Masson, Etude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitrures de grille ultra-minces. *Thèse de doctorat*, INSA de Lyon, Lyon, 1999, 210 pages
- [D4] A. Chovet, P. Masson, Physique des semi-conducteurs, Polycopié de cours, *ENSERG (INP de Grenoble)*, 1^{ème} année, 2000, 77 pages
- [D5] P. Masson, Modélisation et caractérisation du transistor MOS, *Laboratoire de Matériaux et de Micro-électronique de Provence (L2MP)*, 2003, 87 pages

Séminaire invité, formation

- [S1] P. Masson, Etude par pompage de charge et par mesure de bruit basse fréquence de transistors MOS à oxynitrures de grille ultra-minces, *LPCS-INP Grenoble*, 26 novembre 1998, *LPM-INSA* de Lyon, 5 janvier 1999
- [S2] P. Masson, Les techniques de pompage de charge, *DEA-DESS dispositifs de l'électronique intégrée Lyon*, mars 1999, *INSA de Lyon département SGM*, février 2001
- [S3] P. Masson, Charge pumping techniques, *North Carolina State University (NCSU)*, août 1999
- [S4] P. Masson, Le transistor MOS : Théorie et caractérisation, *ALTIS*, Corbeil Essonne, 20-21 septembre 2001

Activités d'encadrement et responsabilités

Encadrement et co-encadrement de thèse

Je bénéficie d'une prime d'encadrement Doctorale depuis septembre 2002.

1. Romain LAFFONT, Modélisation et amélioration de la fiabilité des mémoires non volatiles, Thèse CIFRE, Directeur de Thèse : Rachid BOUCHAKOUR, encadrement : Pascal MASSON, Thèse de Doctorat de l'Université de Provence, Soutenance septembre 2003
2. Sandrine BERNARDINI, Modélisation physique du TMOS : application aux dispositifs mémoires, Thèse MENRT, Directeur de Thèse : Pascal MASSON, Thèse de Doctorat de l'Université de Provence, en cours (soutenance en 2004)
3. Laurent LOPEZ, Modélisation et caractérisation de la cellule e-DRAM, Thèse CIFRE, Directeur de Thèse : Rachid BOUCHAKOUR, encadrement : Pascal MASSON, Thèse de Doctorat de l'Université de Provence, en cours (soutenance en 2004)
4. Rossella RANICA, Etude de nouvelles architectures de mémoires volatiles pour les applications SOC à intégration ultime, Thèse CIFRE, Co-Directeurs de Thèse : Rachid BOUCHAKOUR et Pascal MASSON, Thèse de Doctorat de l'Université de Provence, en cours (soutenance en 2005)
5. Fabien GILIBERT, Contribution à la modélisation analytique des effets électriques mis en jeu dans les structures MOS nano-métriques, Thèse CIFRE, Co-Directeurs de Thèse : Rachid BOUCHAKOUR et Pascal MASSON, Thèse de Doctorat de l'Université de Provence, en cours (soutenance en 2005)

Encadrement de DEA et projets de fin d'étude

1. Catherine VIDAL, (co-encadrement avec Jean-Luc AUTRAN) Etude de transistors MOS à oxyde de grille ultra-mince, Projet de Fin d'Etude INSA, juin 1999
2. Thierry BERTON, Contribution à la modélisation du transistor MOS fortement sub-micronique, Projet de Fin d'Etude INSA et DEA Dispositif de l'Electronique Intégrée, mars 2000
3. Vincent CELIBERT, Etude des défauts électriquement actifs dans le système grille-diélectrique du CMOS ultime (50 nm) et dans les transistors MOS à nodules, Projet de Fin d'Etude INSA et DEA Dispositif de l'Electronique Intégrée, mars 2001
4. Lynda BENSOUANA, Modélisation de la mobilité des porteurs dans les transistors MOS, Projet de Fin d'Etude DESS Microélectronique et Télécommunication, mars 2002
5. Thierry BRIZZI et Frédérique ANDREU, Modélisation des courants de fuites dans les structures MIS à isolant ON et ONO, Projet de Fin d'Etude Ecole Polytechnique Universitaire de Marseille, janvier 2003
6. Emilie GAUDICHEAU et Sébastien PAGES, Modélisation de la courbe C-V d'une capacité MOS incluant une non-uniformité du dopage du substrat, Projet de Fin d'Etude Ecole Polytechnique Universitaire de Marseille, janvier 2003

Contrats de recherche

1. Contrat STSI "Phase 5" No. 15205: ST Microelectronics – L2MP-ICF MARSEILLE – LPM-INSA de LYON (2001/2002)
 - Axe Matériaux pour Filières Avancées, opération HCMOS 8 qualité de l'oxyde 35 Å et caractérisation électrique associée : Pascal MASSON, Jean-Luc AUTRAN et Jean-Pierre SORBIER.
 - Axe Fiabilité, opération WLRC (nouvelles méthodes de caractérisation) : Pascal MASSON et Jean-Luc AUTRAN.
 - Axe modélisation, HCMOS 8 eDRAM développement d'un modèle de mémoire : Pascal MASSON, Rachid BOUCHAKOUR et Sandrine BERNARDINI
2. Sous contractant du projet Européen ADAMANT (ADvAnced Memories bAsed oN discret Traps). Nr. IST 2001 34234 (collaboration LETI, STMicroelectronic, IMEP...)
3. Contrat STSI "Phase 6" No. 03.2.93.02.95: ST Microelectronics – L2MP-ICF MARSEILLE – LPM-INSA de LYON (2002/2003)
4. NANODIEL, "Fabrication, caractérisation et modélisation des diélectriques de grille nanométriques des technologies CMOS 50 nm"
5. Nano-électronique silicium : vers les composants quantiques (thématique nanotechnologie), Programmes de recherche Région Rhône-Alpes
6. ULTIMOX, "Caractérisation, modélisation et fiabilité des oxydes de grille ultra minces des technologies CMOS 50 nm", Projet RMNT, Convention STSI n° 99.2.93.05.43

Responsabilités collectives et implications internationales

1. Membre du comité local de la 4^e Conférence Européenne "Radiation and its Effects on Components and Systems" (RADECS), Cannes, France, 15-19 septembre 1997
2. Membre du comité local de la 5^e Conférence Européenne "Radiation and its Effects on Components and Systems" (RADECS), Fontevraud, France, septembre 1999
3. Responsable étudiant du réseau Doctoral de Microélectronique Pôle Rhône-Alpes, 1998-2000
4. Trésorier adjoint de l'Association Europhysique Symposium, association Loi 1901 à but scientifique. 2000-2001
5. Co-organisateur et gestion financière du 3^{ème} Symposium "SiO₂ and Advanced Dielectrics", Château L'Arc, Fuveau, 19-21 juin 2000

Activités de lecteur

Journal of Applied Physics

Journal of the Electrochemical Society

Récapitulatif des activités d'enseignements

Année scolaire	Intitulé de la formation	Type	Heures réelles	Heures ETD
1996-97 Vacataire	ENSERG de l'INPG, 2^{ème} année Atelier de circuit hybride	TR	64	42.5
	INPG, formation continue Physique des semi-conducteurs	cours	5	7.5
				Total : 50
1997-98 Vacataire	INSA de Lyon, 1^{er} année du 1^{er} cycle Formation pratique aux mesures physiques	TP	90	60
1998-99 Vacataire	INSA de Lyon, 1^{ère} année du 1^{er} cycle Formation pratique aux mesures physiques	TP	96	64
1999-00	INSA de Lyon, 1^{ère} année du 1^{er} cycle Formation pratique aux mesures physiques Grandeurs physiques et électromagnétisme	TP	144	96
		TD	120	120
	INSA de Lyon, Département SGM Projet de fin d'étude (5 ^{ème} année)	Projet	> 100	20
				Total : 236
2000-01	INSA de Lyon, 1^{ère} année du 1^{er} cycle Formation pratique aux mesures physiques Grandeurs physiques et électromagnétisme	TP	192	128
		TD	140	140
	INSA de Lyon, Département SGM Projet de fin d'étude (5 ^{ème} année)	Projet	> 100	20
				Total : 288
2001-02	Ecole Poly. Universitaire de Marseille, département MT Formation à la physique des composants à semi-conducteurs (2 ^{ème}) Formation pratique à l'automatique (2 ^{ème}) Formation pratique au logiciel SPICE (2 ^{ème}) Formation pratique à la physique des composants à semi-conducteurs (2 ^{ème}) Responsabilités diverses	TD	20	20
		TP	72	48
		TP	20	13
		TP	96	64
				47
			Total : 192	
2002-03	Ecole Poly. Universitaire de Marseille, département MT Formation à la physique des composants à semi-conducteurs (2 ^{ème}) Formation pratique à l'automatique (2 ^{ème}) Formation pratique au logiciel SPICE (2 ^{ème}) Formation pratique à la physique des composants à semi-conducteurs (2 ^{ème}) Formation à la physique des semi-conducteurs (1 ^{ère}) Responsabilités et enseignement divers Projet industriel de fin d'étude (3 ^{ère})	TD	40	40
		TP	72	48
		TP	20	13
		TP	40	27
		TD	20	20
				31
	Projet	> 100	20	
				Total : 199

Sélection de publications

J.L. Autran, P. Masson, N. Freud, C. Raynaud, C. Riekkel, Micro-Irradiation experiments in MOS transistors using synchrotron radiation. *IEEE Transactions on Nuclear Science*, 2000, Vol. 47, No. 3, p. 574-579

B. De Salvo, G. Ghibaudo, G. Pananakakis, P. Masson, T. Baron, N. Buffet, A Fernandes, B. Guillaumot, Experimental and theoretical investigation of nano-crystal and nitride-trap memory devices, *IEEE Transactions on Electron Devices*, 2001, Vol. 48, No. 8, p. 1789-1799

P. Masson, L. Militaru, B. DeSalvo, G. Ghibaudo, V. Celibert, T. Baron, Nano-crystal memory devices characterization using the charge pumping technique, in "*Proceedings of ESSDERC'2002, 32nd European Solid-State Devices Research Conference*", University of Bologna, G. Baccarani, Firenze, Italy, p. 235-238, 2002

P. Masson, J.L. Autran, D. Munteanu, DYNAMOS : a numerical MOSFET model including quantum-mechanical and near-interface trap transient effects, *Solid-State Electronics*, 2002, Vol. 46, p 1051-1059

L. Militaru, P. Masson, G. Geguan, Three level charge pumping on a single interface trap, *IEEE Electron Device Letters*, 2002, Vol. 23, No. 2, p. 94-96

P. Masson, J.L. Autran, M. Houssa, X. Garros and C. Leroux, Frequency characterization and modeling of interface traps in metal-oxide-semiconductor structures with HfO₂ gate dielectrics from a capacitance point-of-view, *Applied Physic Letters*, 2002, Vol. 81, No. 18, p. 3392-3394

S. Bernardini, R. Laffont, P. Masson, G. Ghibaudo, S. Lombardo, B. De Salvo, C. Gerardi, A predictive nano-crystal Flash memory simulator, *4rd European Workshop on Ultimate Integration of Silicon (ULIS)*, Udine (Italy), June 2003

R. Laffont, P. Masson, P. Canet, B. Delsuc, R. Bouchakour, J.M. Mirabel, Fowler Nordheim current determination during EEPROM cell operation, *ESSDERC'2003*