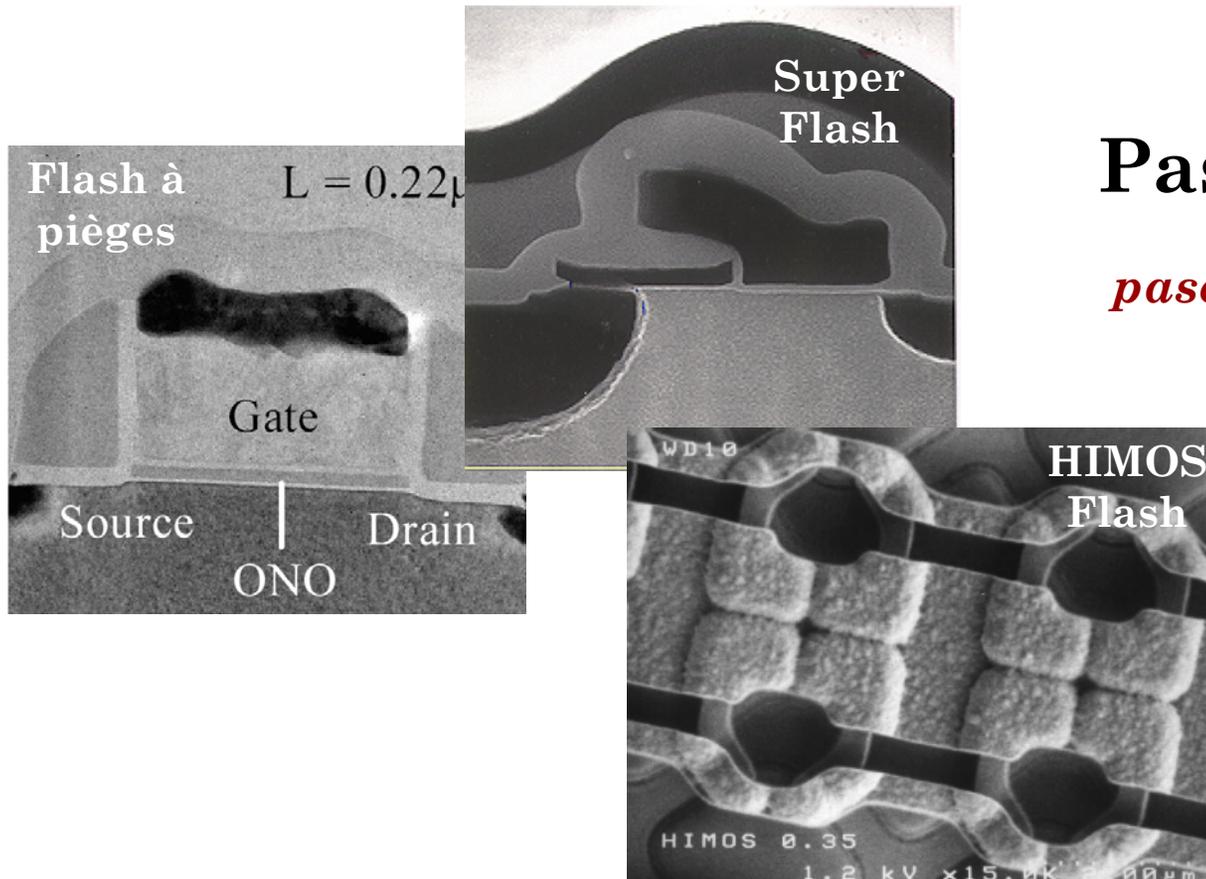


# Panorama des mémoires innovantes sur silicium

(*MASTERS Micro et nano-électronique - 8 décembre 2005*)



**Pascal MASSON**

*[pascal.masson@L2MP.fr](mailto:pascal.masson@L2MP.fr)*

- Introduction
- Fonctionnement des mémoires "classiques"

## *EEPROM et Flash*

- Panorama des mémoires "innovantes"
- Conclusion

# Introduction

## ➤ Un peu d'histoire : exemple de la musique



# Introduction

**Informatique :**  
Bios, imprimante,  
Carte graphique, système  
portable



**Communication :**  
Téléphone mobile, fax,  
systèmes WI-FI....



## Circuits mémoires

Stockage de code  
Mémorisation des données  
Volatiles et non-volatiles



Courtesy of CSM Photo



**Automotive :**  
Électronique embarquée  
(direction assistée, carte  
d'injection, multimédia...)

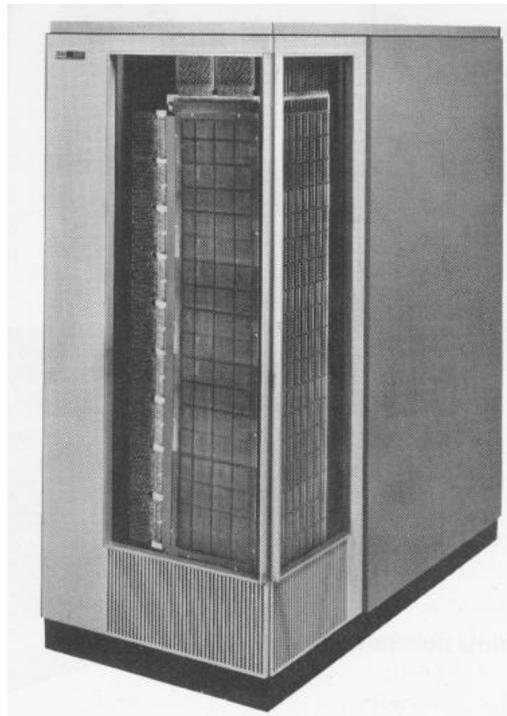
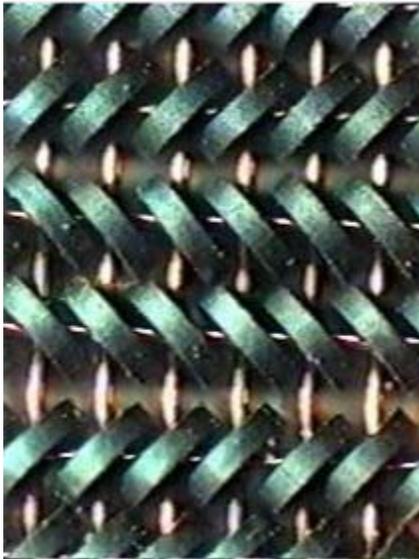


**Grand public :**  
Assistant électronique  
DVD, MP3, caméscope,  
carte bancaire...

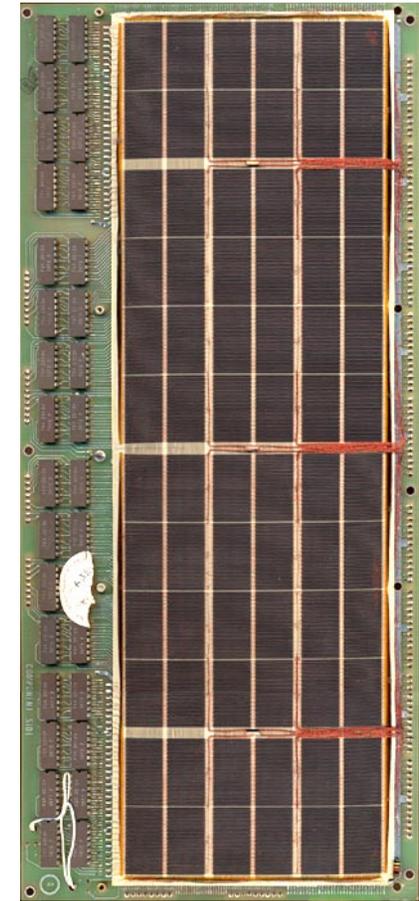
# Introduction

## ➤ Un peu d'histoire : mémoire magnétique

- Développée au MIT par Jay FORRESTER en 1951

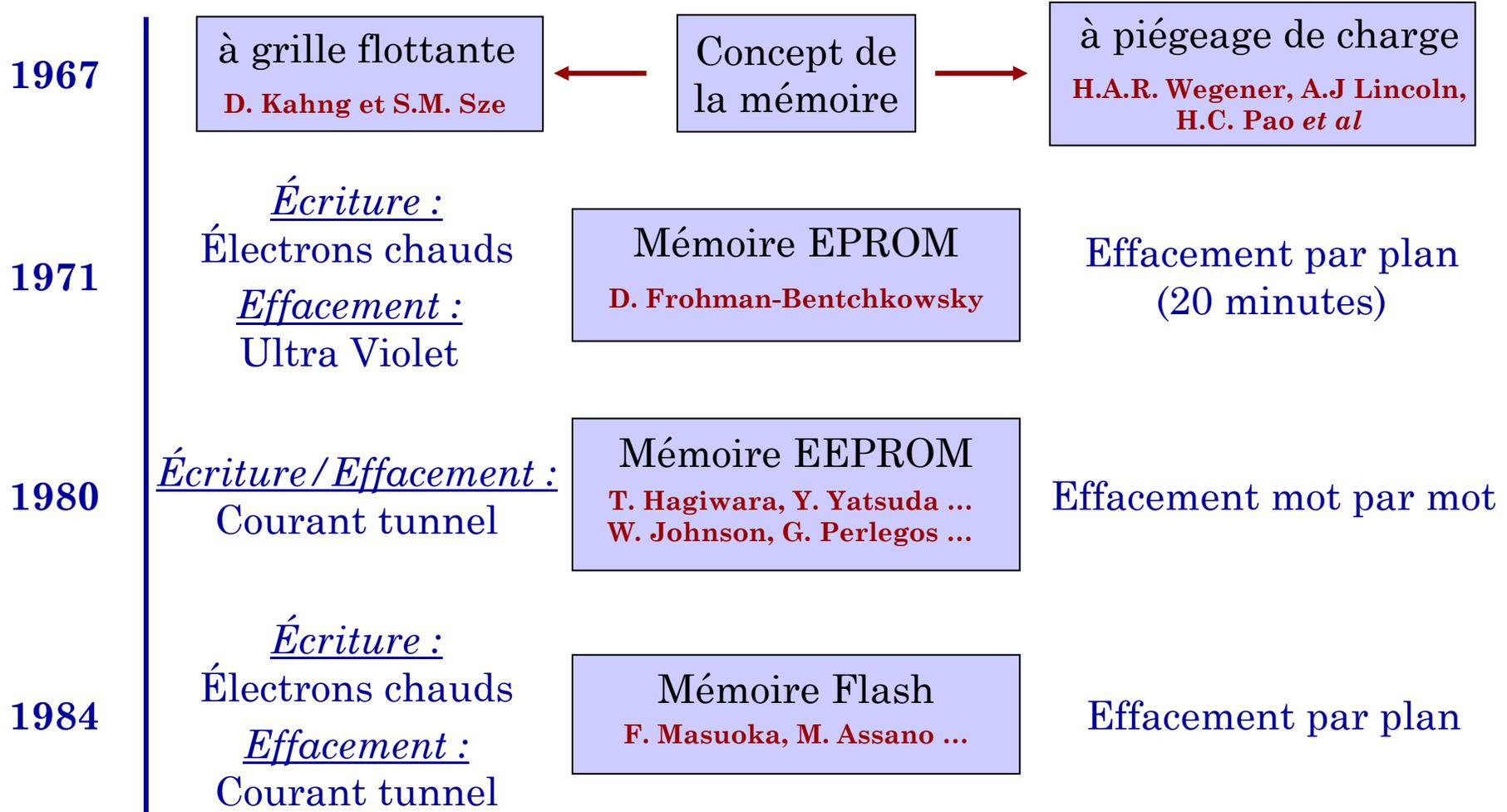


16 k bytes, IBM



# Introduction

## ➤ Un peu d'histoire : mémoire à semi-conducteur





## ➤ Amélioration de la cellule de base

- Fiabilité (rétention et endurance)
- Rapidité de programmation
- Compatible avec la réduction des dimensions
- Intégration dans des process standards (mémoires embarquées)

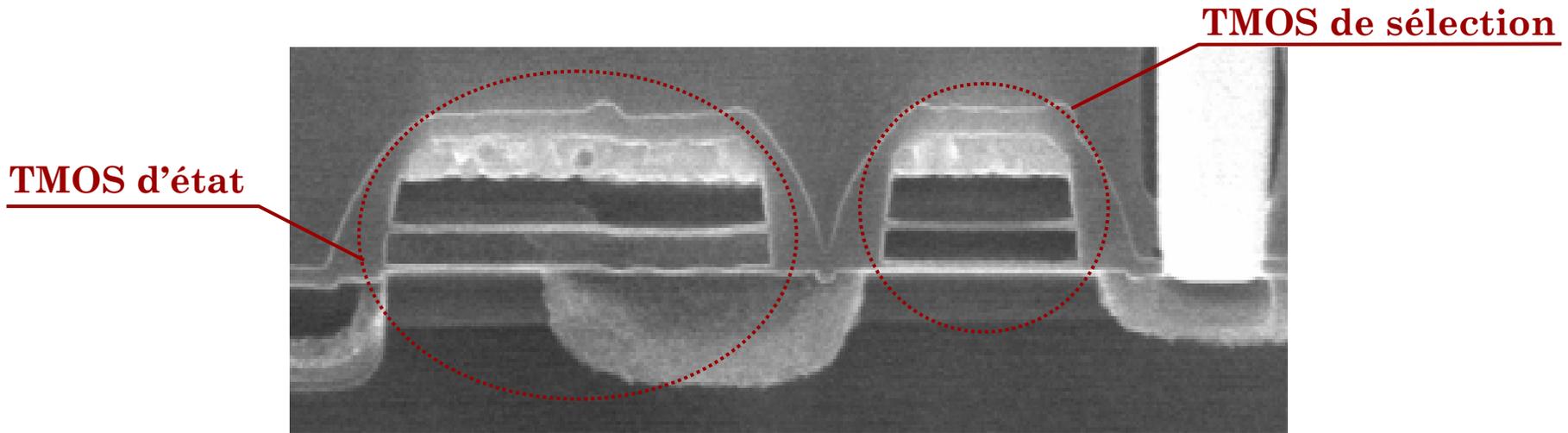
## ➤ Les mémoires innovantes (ou alternatives)

- Rapidité : MRAM, OUM, FeRAM ⇒ **C. Muller**
  - Difficultés technologiques : 1T1C → 1T DRAM ⇒ **P. Mazoyer**
- 2 bits : piégeage, DFG Flash, nano-cristaux
  - Bas coût : Flash simple poly, SIPPOS

## Fonctionnement des mémoires "classiques"

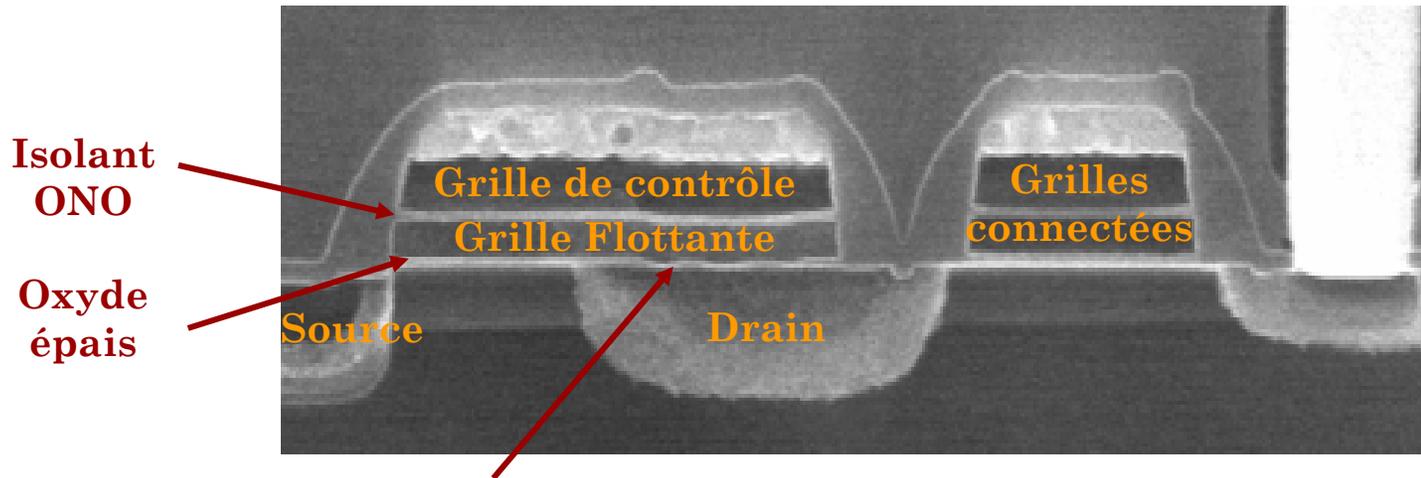
Panorama des mémoires innovantes

## ➤ La mémoire EEPROM



- ❑ TMOS de sélection : granularité de l'effacement

## ➤ La mémoire EEPROM

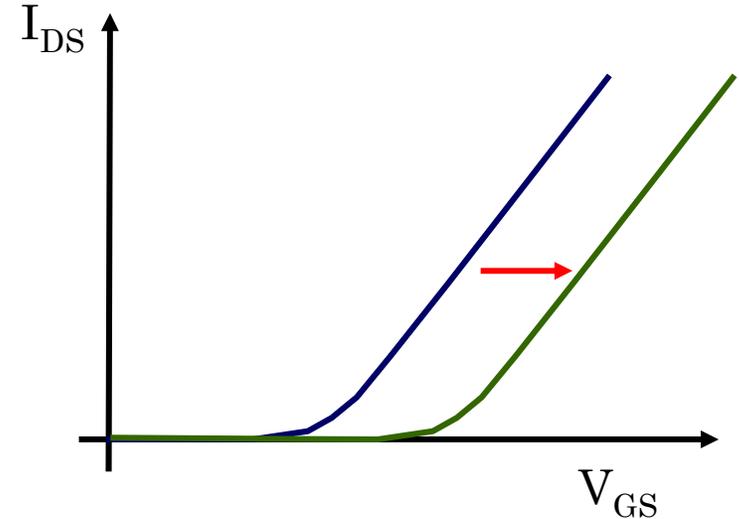
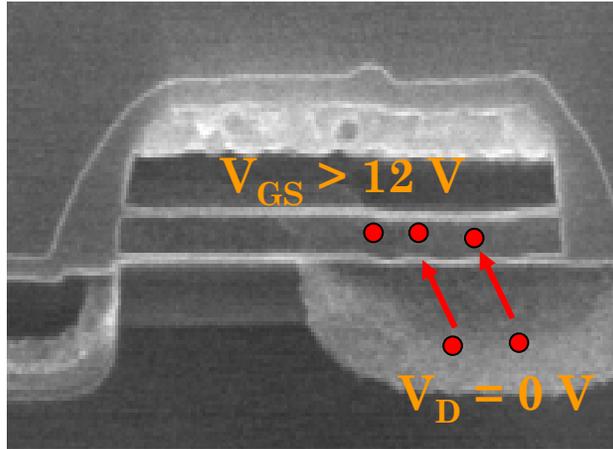


**Oxyde tunnel : zone d'injection**

- ❑ TMOS de sélection : granularité de l'effacement

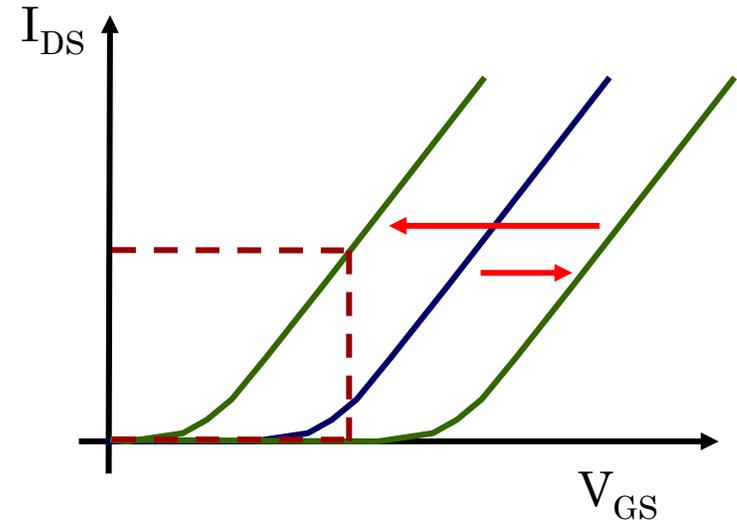
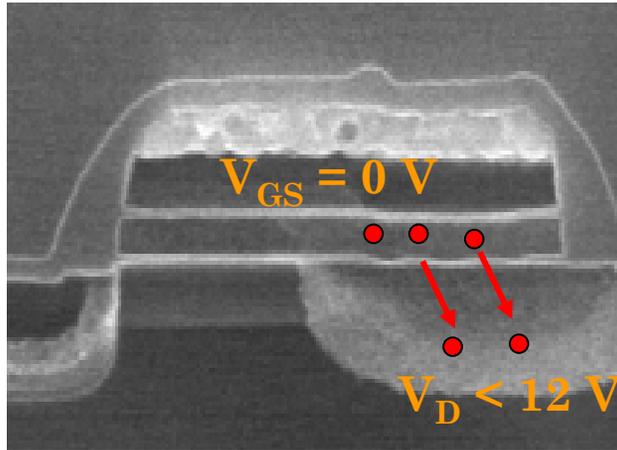
## ➤ La mémoire EEPROM

- Electron



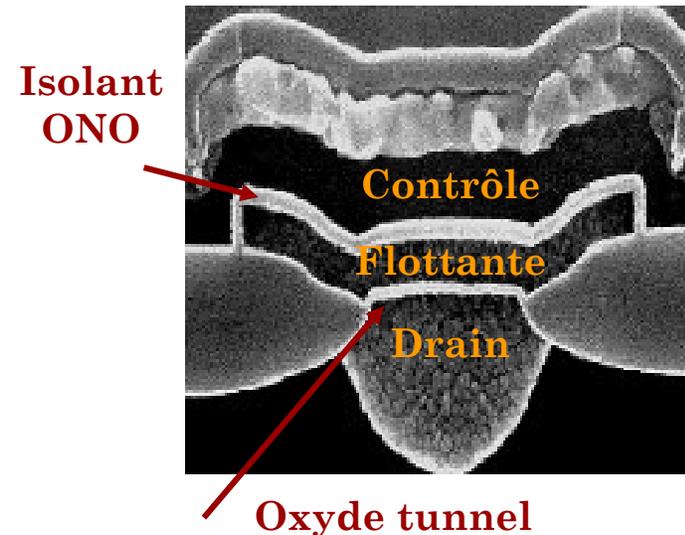
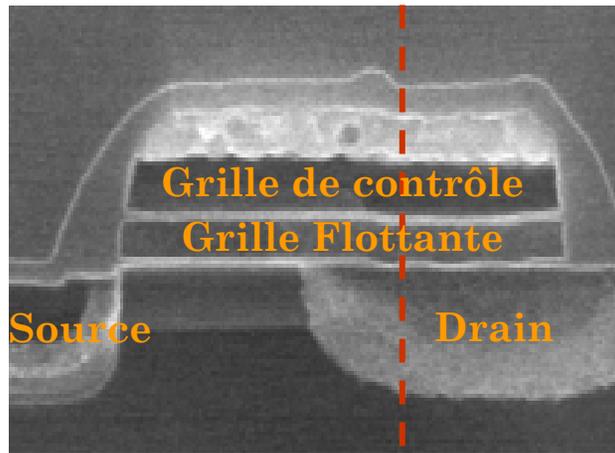
- TMOS de sélection : granularité de l'effacement
- Écriture : injection d'électrons dans la grille flottante ( $\approx 1\text{ ms}$ )

## ➤ La mémoire EEPROM



- ❑ TMOS de sélection : granularité de l'effacement
- ❑ Écriture : injection d'électrons dans la grille flottante ( $\approx 1 \text{ ms}$ )
- ❑ Effacement : on enlève des électrons de la grille flottante ( $\approx 1 \text{ ms}$ )

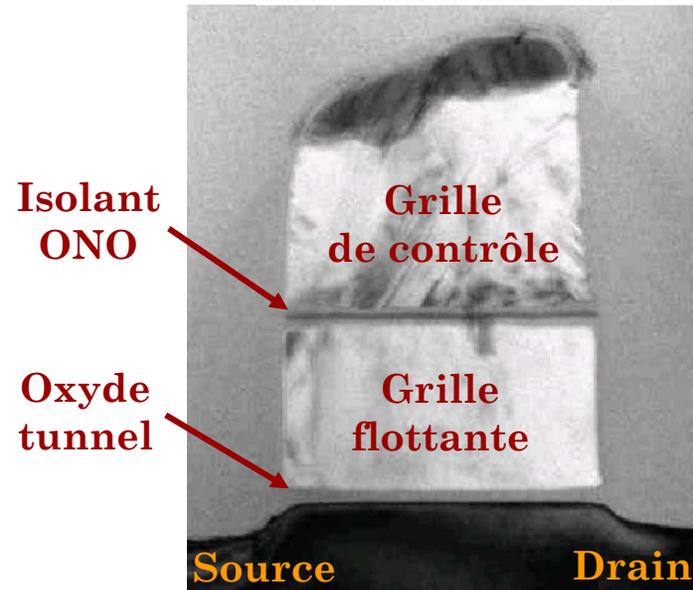
## ➤ La mémoire EEPROM



- ❑ TMOS de sélection : granularité de l'effacement
- ❑ Écriture : injection d'électrons dans la grille flottante ( $\approx 1$  ms)
- ❑ Effacement : on enlève des électrons de la grille flottante ( $\approx 1$  ms)
- ❑ Problèmes : technologie double poly, tensions élevées, surface

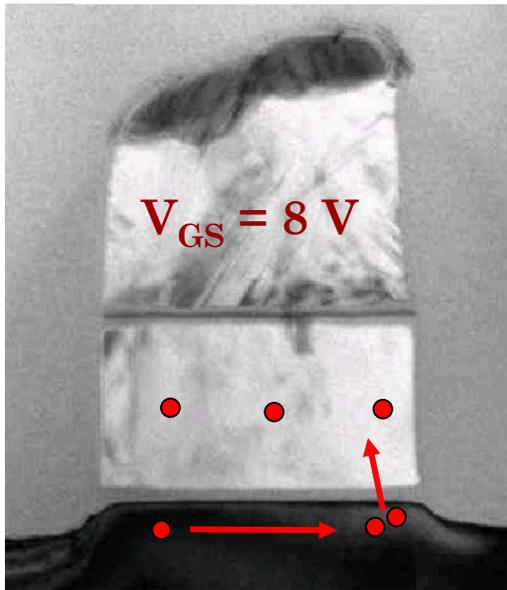
## ➤ La mémoire Flash ("Flash-erase EEPROM")

- ❑ Famille la plus importante des NVM : densité d'intégration et rapidité d'écriture
- ❑ Compromis entre l'EEPROM et l'EPROM
- ❑ Absence du transistor de sélection : effacement par page



## ➤ La mémoire Flash ("Flash-erase EEPROM")

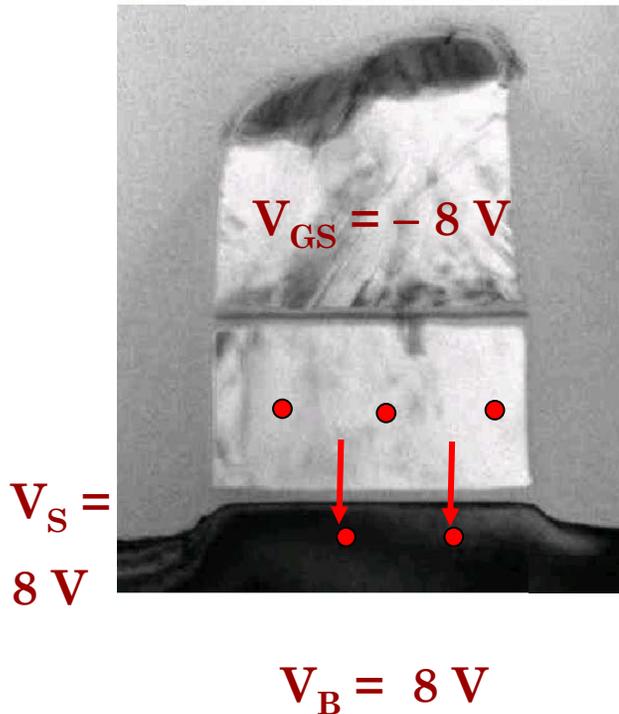
- ❑ Famille la plus importante des NVM : densité d'intégration et rapidité d'écriture
- ❑ Compromis entre l'EEPROM et l'EPROM
- ❑ Absence du transistor de sélection : effacement par page
- ❑ Fonctionnement



- Ecriture : électrons chauds injectés dans la grille ( $\approx 10 \mu s$ )
- $V_{DS} = 4.5 V$

## ➤ La mémoire Flash ("Flash-erase EEPROM")

- Famille la plus importante des NVM : densité d'intégration et rapidité d'écriture
- Compromis entre l'EEPROM et l'EPROM
- Absence du transistor de sélection : effacement par page
- Fonctionnement



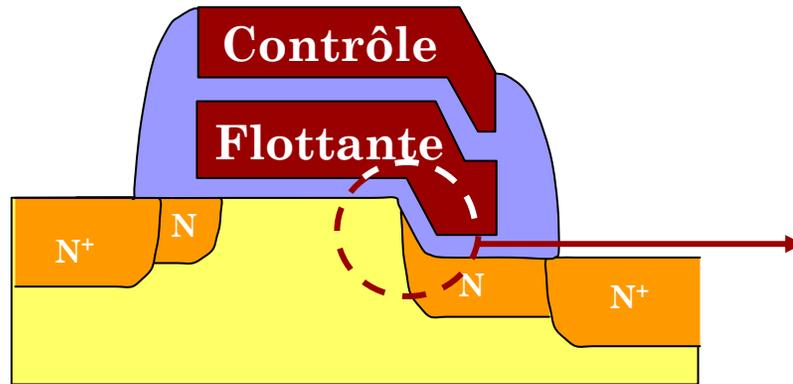
- Ecriture : électrons chauds injectés dans la grille ( $\approx 10\ \mu\text{s}$ )
- Effacement : courant FN à travers l'oxyde tunnel ( $\approx 1\ \text{ms}$ )

- Problèmes : technologie double poly, consommation (injection peu efficace)

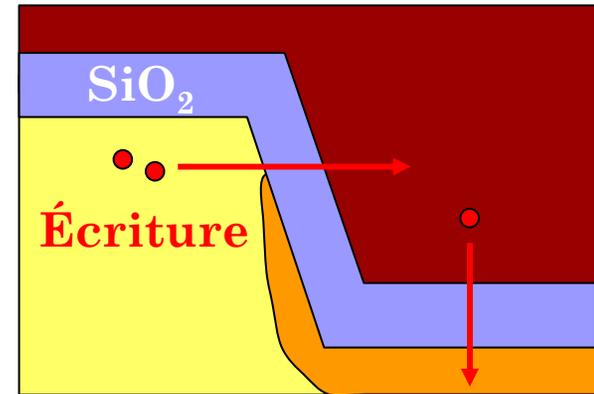
## Fonctionnement des mémoires "classiques"

# Panorama des mémoires innovantes

## ➤ La mémoire Flash "en marche d'escalier"



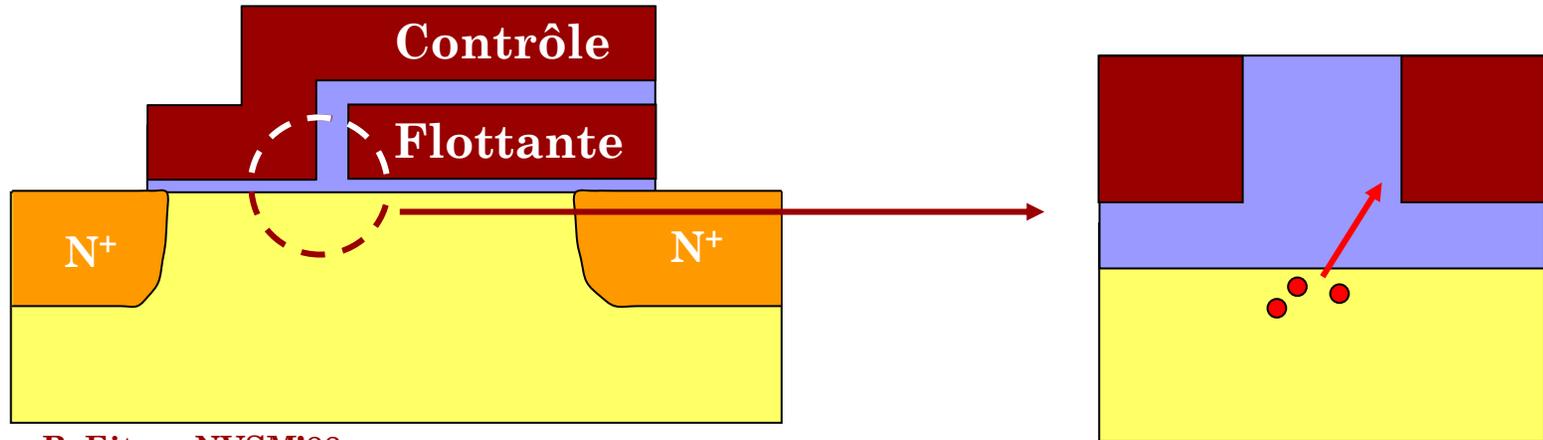
S. Ogura, VLSI'98



Effacement

- ❑ Flash : les électrons injectés ont été ré-orientés vers l'interface
- ❑ Comment augmenter l'efficacité d'injection ?
- ❑ Utilisation d'un drain en forme de marche d'escalier (50 nm de hauteur)
- ❑ Efficacité d'injection multipliée par 10
- ❑ Diminution de la polarisation de drain pour l'écriture

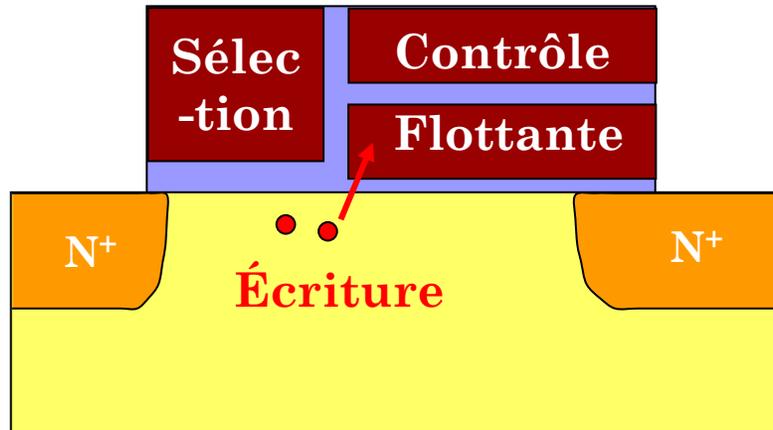
## ➤ La "SPLIT GATE" EPROM



B. Eitan, NVSM'88

- ❑ EPROM : mémoire non électriquement effaçable
- ❑ Écriture par porteurs chauds peu efficace
- ❑ Grande variation du potentiel entre les deux grilles : porteurs chauds
- ❑ Champ électrique dans l'isolant favorable à l'injection des électrons
- ❑ Les plus :
  - Les transistors en série évitent le phénomène de perçage
  - Ne nécessite pas d'optimisation de la diode de drain

## ➤ La "SPLIT GATE" : les variantes

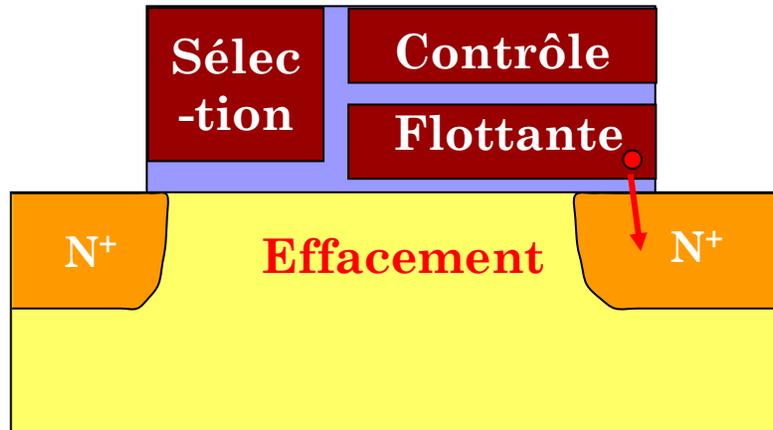


K. Naruke, IEDM'89

## La Flash "SISOS"

- ❑ La grille de sélection évite les courants de fuite dues au sur-effacement
- ❑ La grille de contrôle favorise l'écriture et l'effacement

## ➤ La "SPLIT GATE" : les variantes



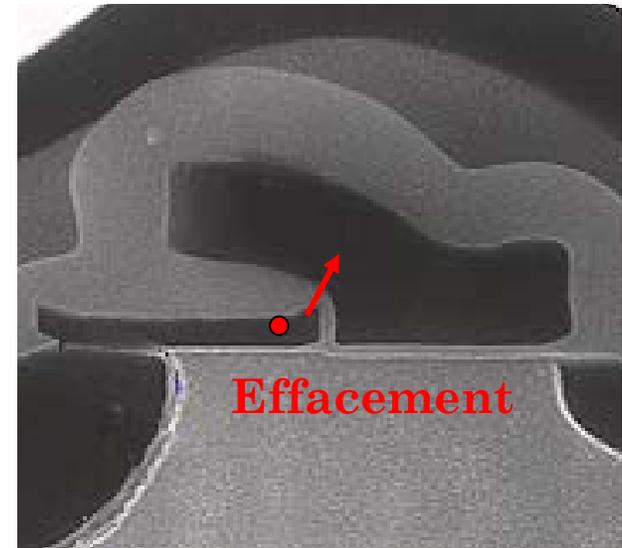
K. Naruke, IEDM'89

## La "super Flash"

- ❑ Grande surface de recouvrement grille flottante / drain
- ❑ Effacement par la grille de sélection : présence d'une pointe

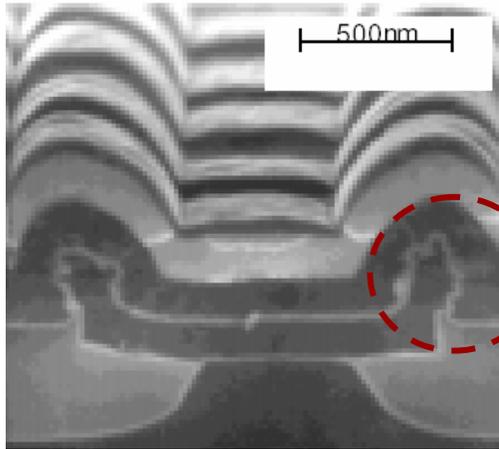
## La Flash "SISOS"

- ❑ La grille de sélection évite les courants de fuite dues au sur-effacement
- ❑ La grille de contrôle favorise l'écriture et l'effacement

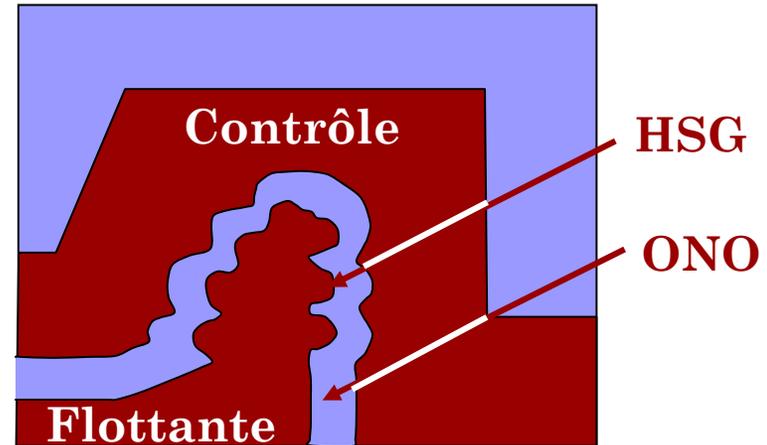


K.C. Huang, IEEE EDL'99

## ➤ La mémoire NAND Flash avec "HSG"



T. Kitamura, VLSI'98



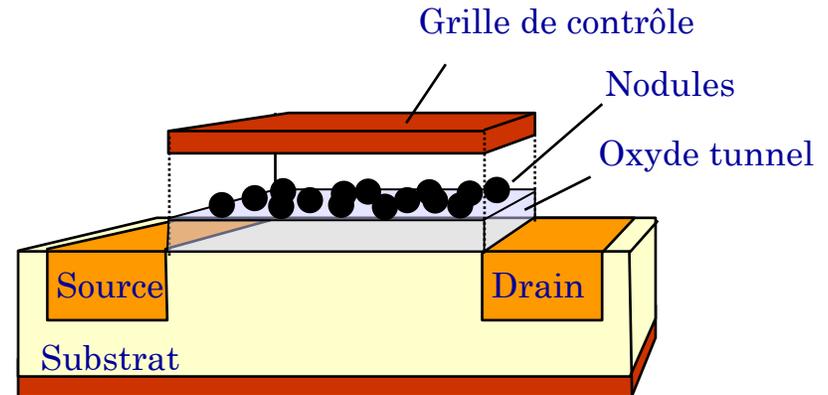
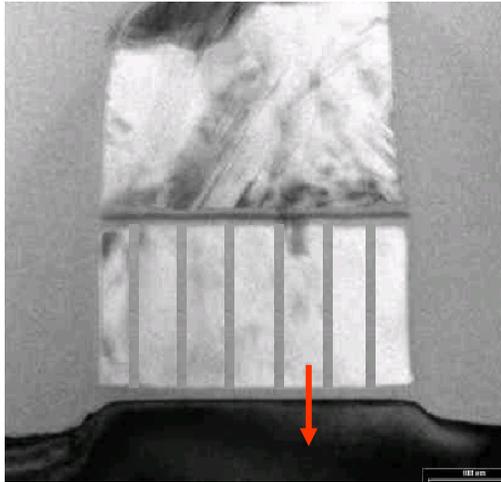
- ❑ Flash : écriture par porteurs chauds très consommatrice (plan NOR)
- ❑ Mémoire Flash avec écriture et effacement en tunnel (plan NAND)
- ❑ Problème de rapidité/tension : augmentation du rapport capacitif (surface ?)
- ❑ Utilisation de HSG qui permet d'obtenir un grand rapport capacitif (0.9)



Tensions appliquées :  $\pm 20 \text{ V} \Rightarrow \pm 17 \text{ V}$

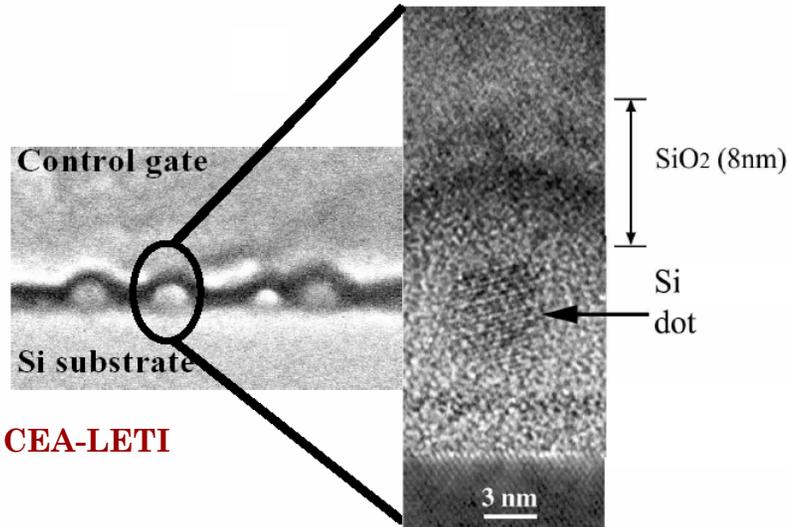
- ❑ Rapport capacitif identique d'une mémoire à l'autre ?

## ➤ La mémoire Flash à nodules

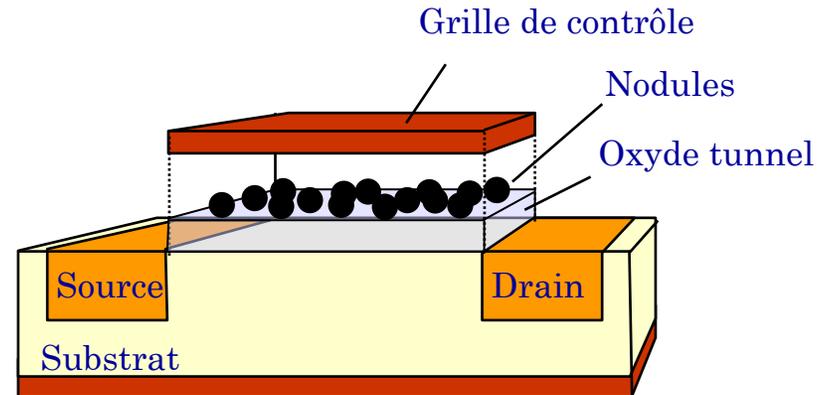


- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges

## ➤ La mémoire Flash à nodules

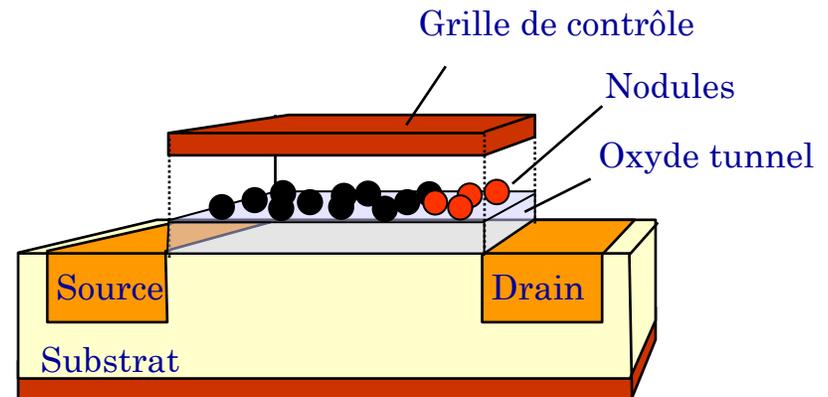
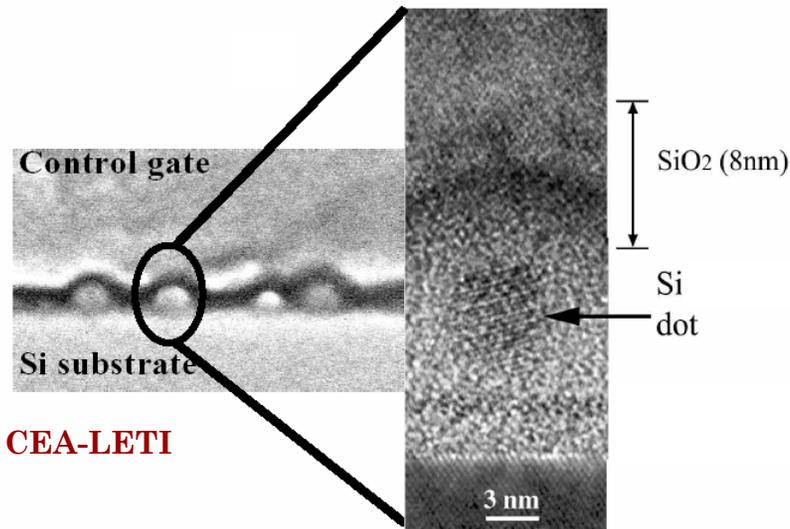


CEA-LETI



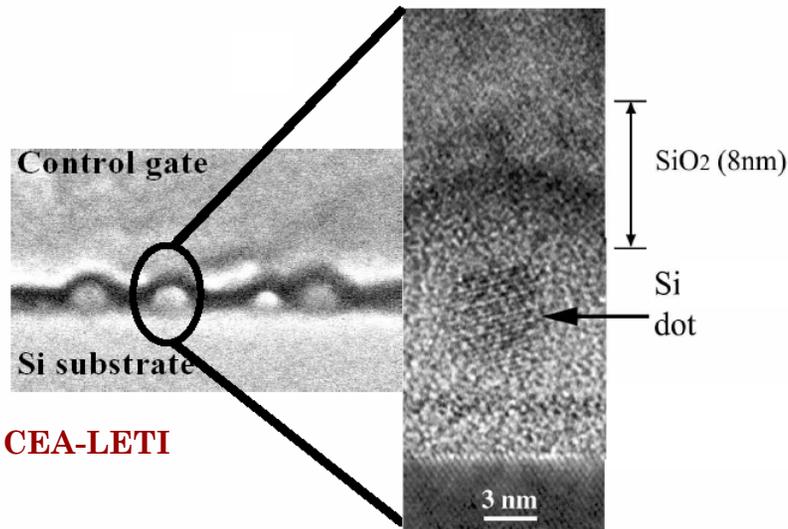
- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges

## ➤ La mémoire Flash à nodules

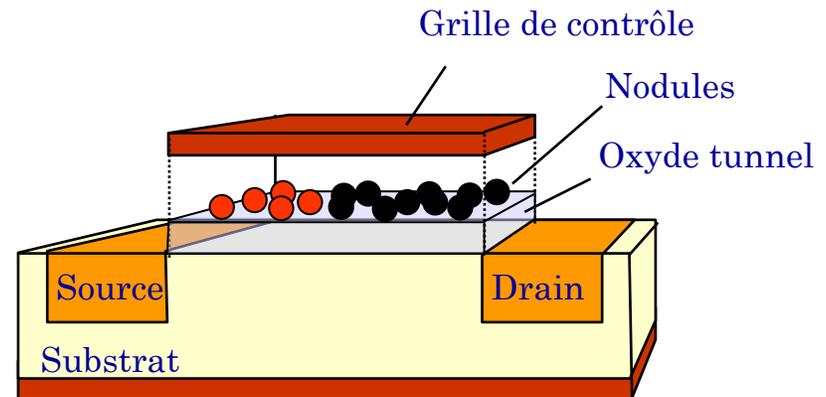


- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges
  - Permet de stocker 4 états : logique à deux bits

## ➤ La mémoire Flash à nodules

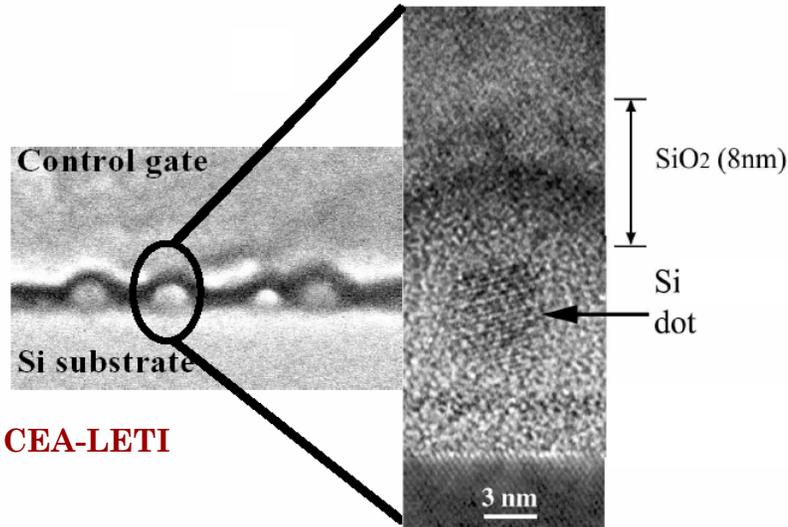


CEA-LETI

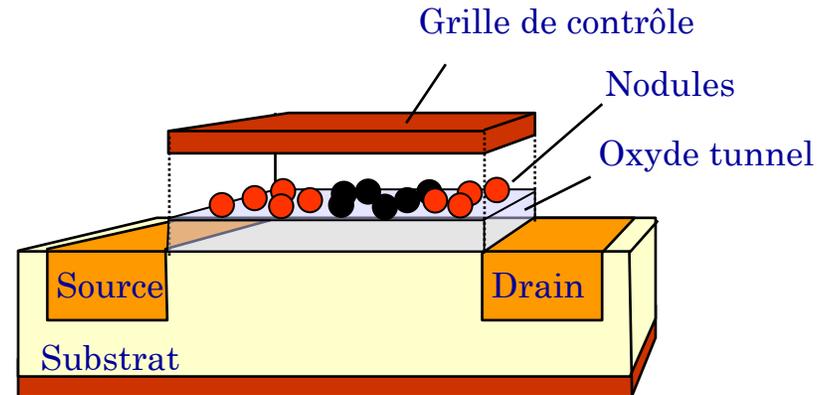


- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges
  - Permet de stocker 4 états : logique à deux bits

## ➤ La mémoire Flash à nodules

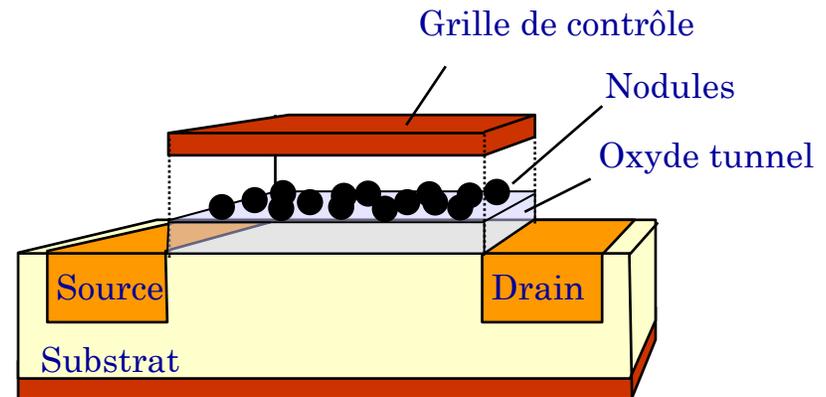
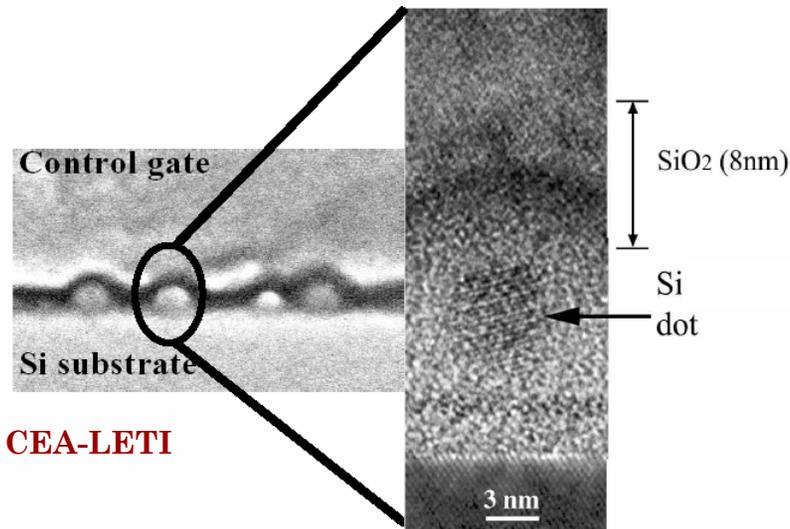


CEA-LETI



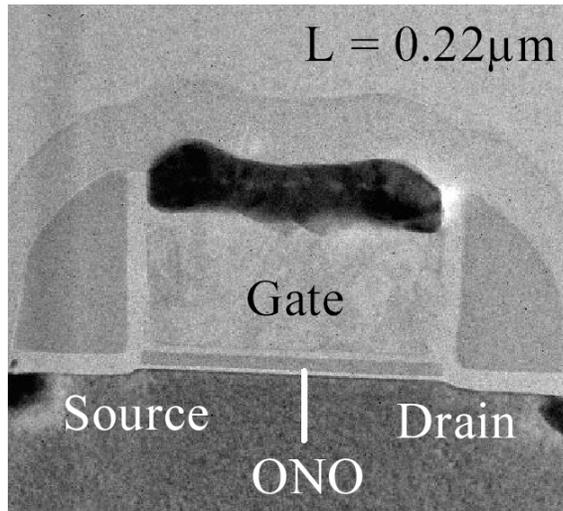
- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges
  - Permet de stocker 4 états : logique à deux bits

## ➤ La mémoire Flash à nodules

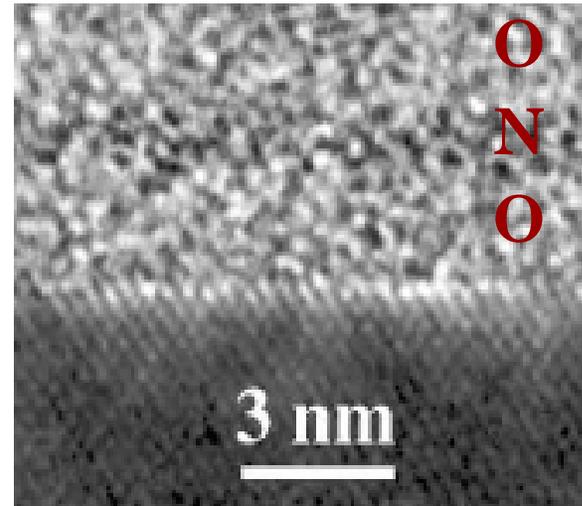


- ❑ Nano-cristaux de silicium en remplacement de la grille flottante
  - Meilleure rétention des charges
  - Permet de stocker 4 états : logique à deux bits
- ❑ La lecture s'effectue à  $V_{DS} = 1.5 \text{ V}$  en polarisation directe ou inverse (Source/Drain)
- ❑ Fabrication moins coûteuse qu'une grille flottante en poly-silicium

## ➤ La mémoire Flash à piégeage de charge

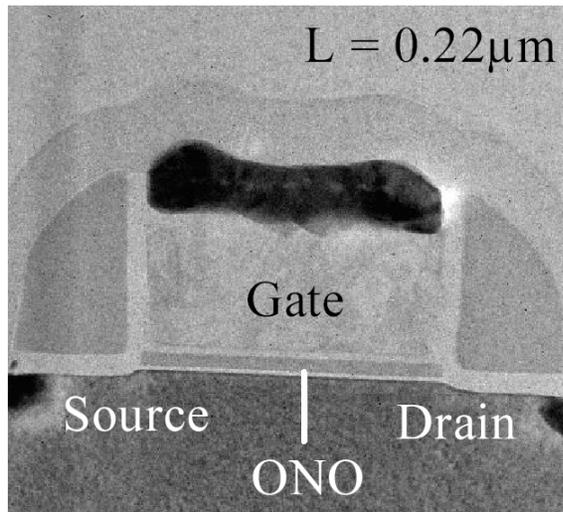


C.T. Swift, IEDM'02



- ❑ Concept introduit en 1967
- ❑ Couche de Nitrure entourée d'un oxyde mince et d'un oxyde épais
- ❑ Fabrication compatible CMOS
- ❑ Forte densité d'intégration
- ❑ Mémoire résistante aux radiations

## ➤ La mémoire Flash à piégeage de charge



C.T. Swift, IEDM'02

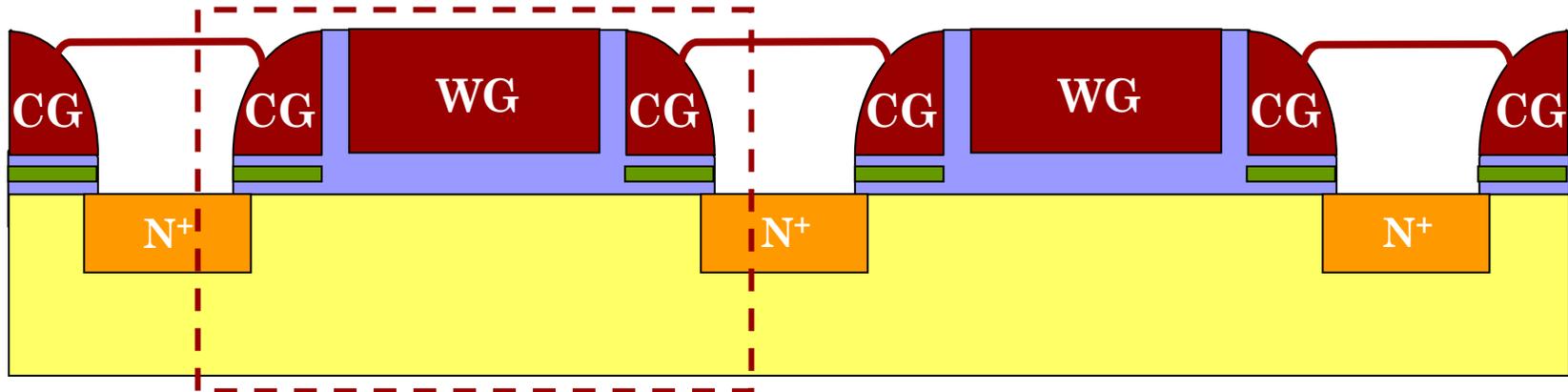
### □ Fonctionnement

- Ecriture : électrons chauds injectés dans la couche de nitrure
- Effacement (1) : injection de trous chauds avec du BTB (non-uniforme)
- Effacement (2) : courant FN à travers la l'isolant tunnel (uniforme)

- Concept introduit en 1967
- Couche de Nitrure entourée d'un oxyde mince et d'un oxyde épais
- Fabrication compatible CMOS
- Forte densité d'intégration
- Mémoire résistante aux radiations



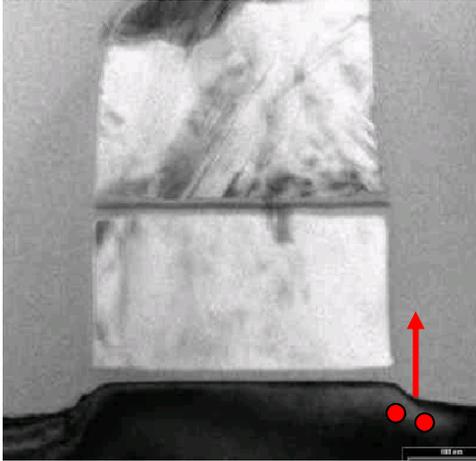
## ➤ La mémoire "Twin SPLIT GATE MONOS"



Y. Hayashi, VLSI'00

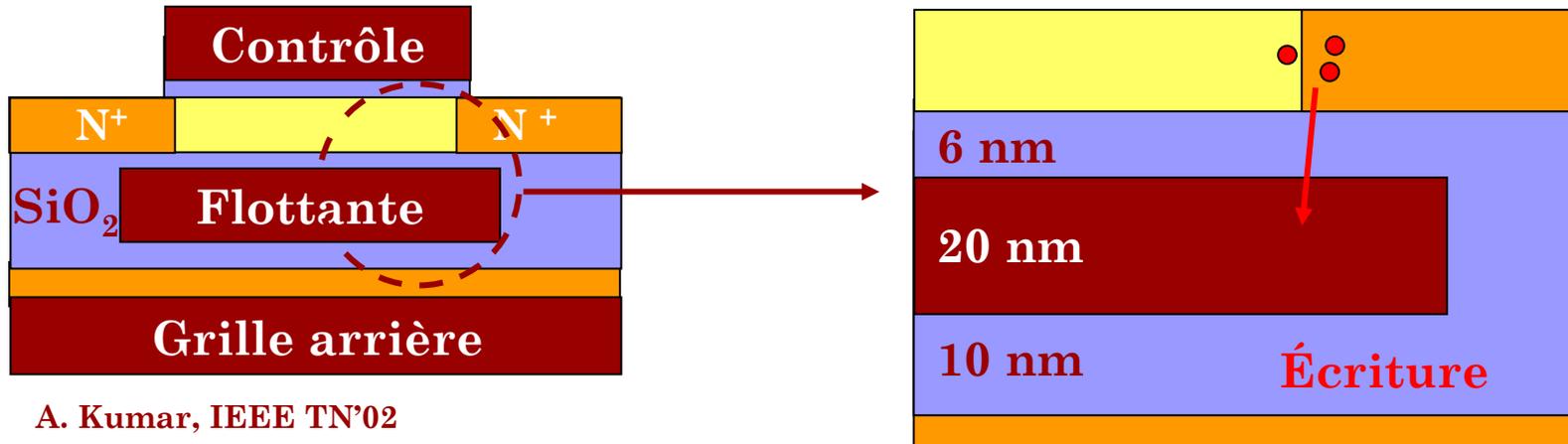
- ❑ Les zones de chargement sont physiquement séparées
- ❑ Augmentation de l'efficacité d'injection avec deux "Split Gates"
- ❑ Les zones de source et de drain sont en commun avec les cellules voisines
- ❑ Les grilles de contrôles voisines sont connectées
- ❑ Écriture par électrons chauds et effacement par trous chauds (tensions  $< 7$  V)

## ➤ La mémoire à stockage dans le substrat



- ❑ Pour les transistors de petites dimensions :
  - Difficulté à réaliser l'empilement de grille
  - Faible efficacité de l'injection de porteurs chauds

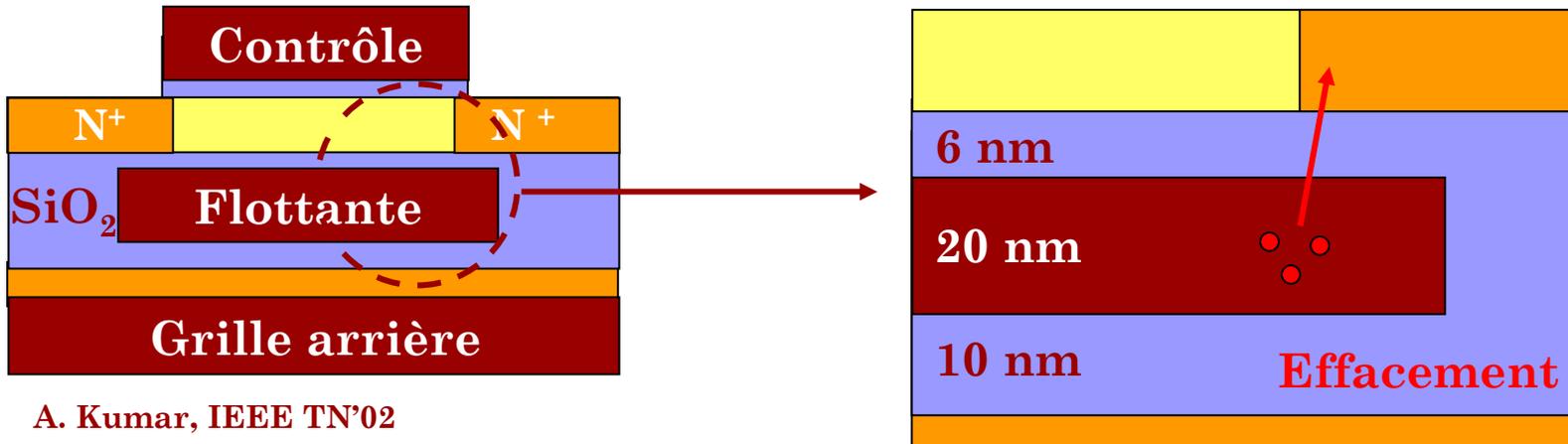
## ➤ La mémoire à stockage dans le substrat



A. Kumar, IEEE TN'02

- Pour les transistors de petites dimensions :
  - Difficulté à réaliser l'empilement de grille
  - Faible efficacité de l'injection de porteurs chauds
- ➡ Placer la grille flottante dans le substrat du transistor
- Écriture par porteurs chauds avec l'aide de la grille arrière

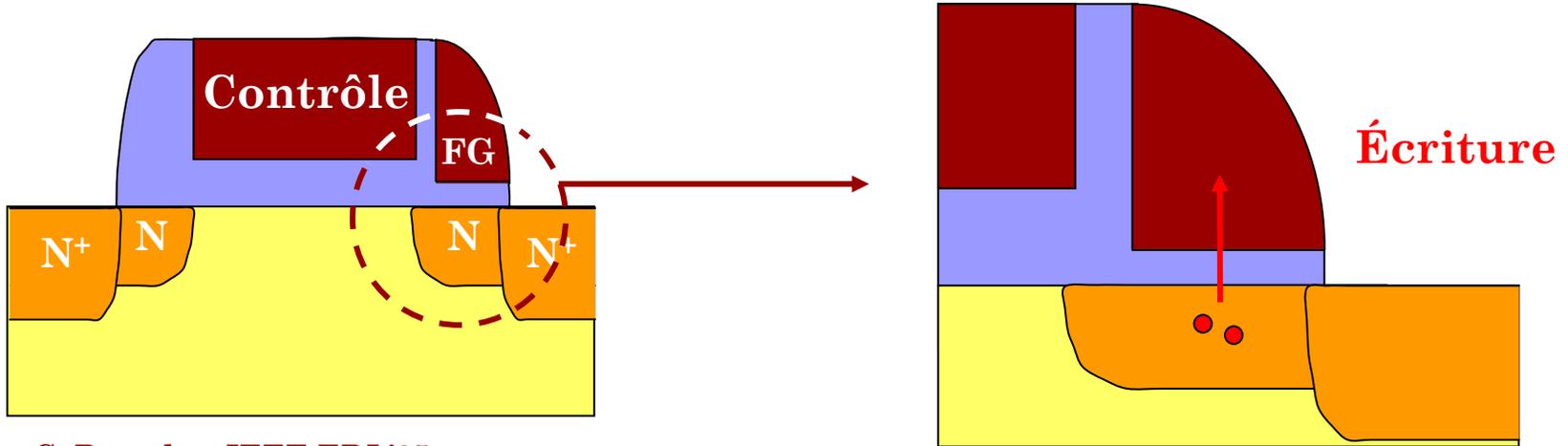
## ➤ La mémoire à stockage dans le substrat



A. Kumar, IEEE TN'02

- ❑ Pour les transistors de petites dimensions :
  - Difficulté pour réaliser l'empilement de grille
  - Faible efficacité de l'injection de porteurs chauds
- ➡ Placer la grille flottante dans le substrat du transistor
- ❑ Écriture par porteurs chauds avec l'aide de la grille arrière
- ❑ Effacement par Fowler-Nordheim

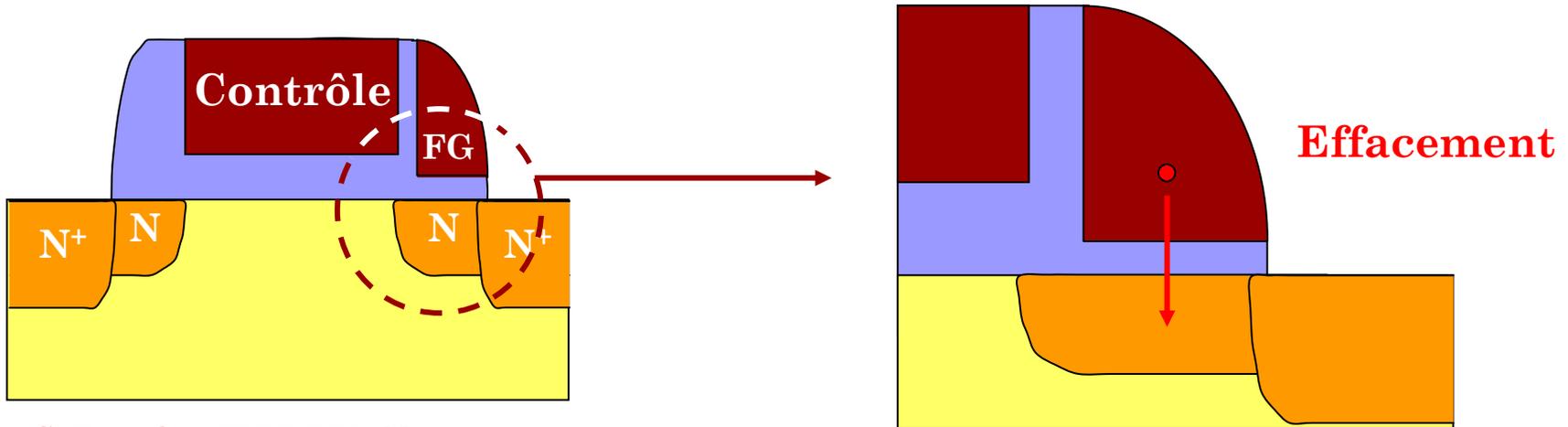
## ➤ L'EEPROM à pseudo grille flottante ( $\Psi$ -Cell)



C. Papadas, IEEE EDL'95

- ❑ La charge est stockée dans l'espaceur du transistor
- ❑ Cellule mémoire de la taille d'un transistor
- ❑ La résistivité de la zone LDD du drain est modulée par la charge de la grille flottante
- ❑ Écriture et effacement par Fowler-Nordheim

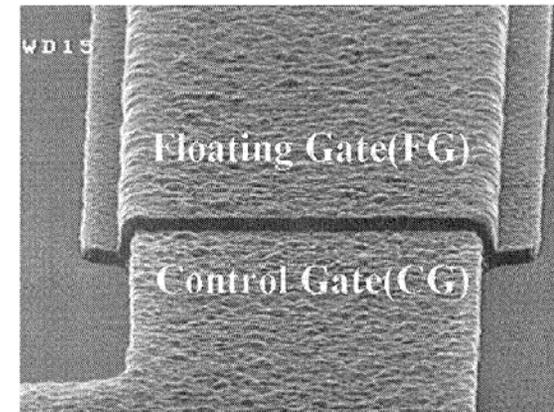
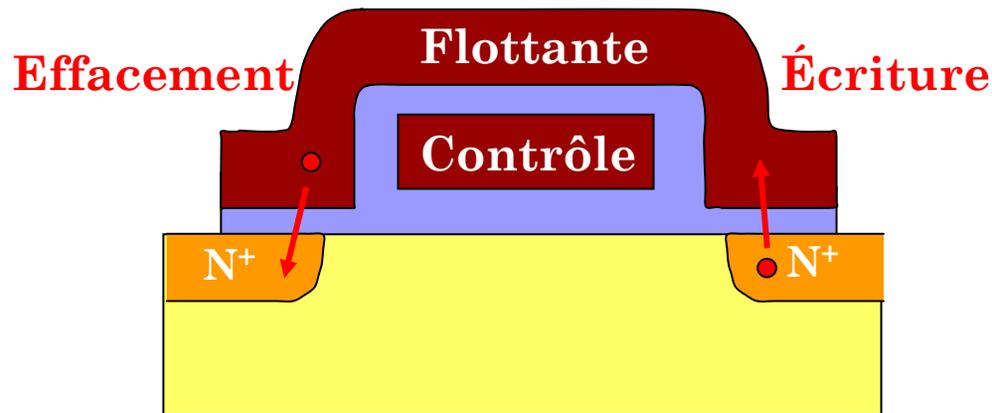
## ➤ L'EEPROM à pseudo grille flottante ( $\Psi$ -Cell)



C. Papadas, IEEE EDL'95

- ❑ La charge n'est pas stockée dans une grille flottante traditionnelle
- ❑ Cellule mémoire de la taille d'un transistor
- ❑ La résistivité de la zone LDD du drain est modulée par la charge de la grille flottante
- ❑ Écriture et effacement par Fowler-Nordheim

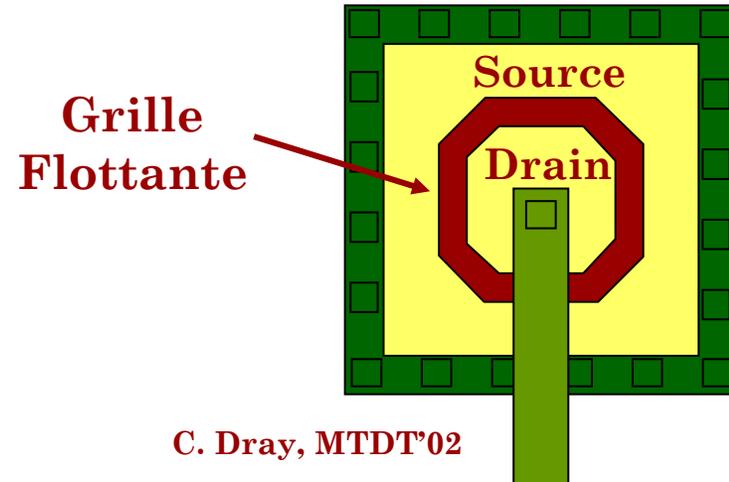
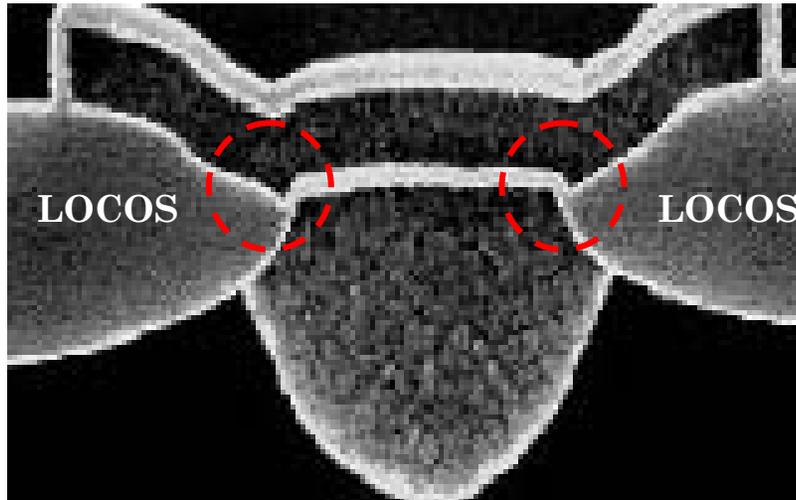
## ➤ La "Top Floating Gate" (TFG) EEPROM



D Mc Carthy, IEEE TED'03

- ❑ La première couche de poly-silicium correspond à la grille de contrôle
- ❑ La résistivité des zones Drain/Source est modulée par la charge de la grille flottante
- ❑ Écriture et effacement par Fowler-Nordheim
- ❑ Les dimensions de la cellules sont définis par la lithographie
- ❑ 2 opérations en plus du procédé de fabrication CMOS logique

## ➤ La mémoire EPROM (simple poly)

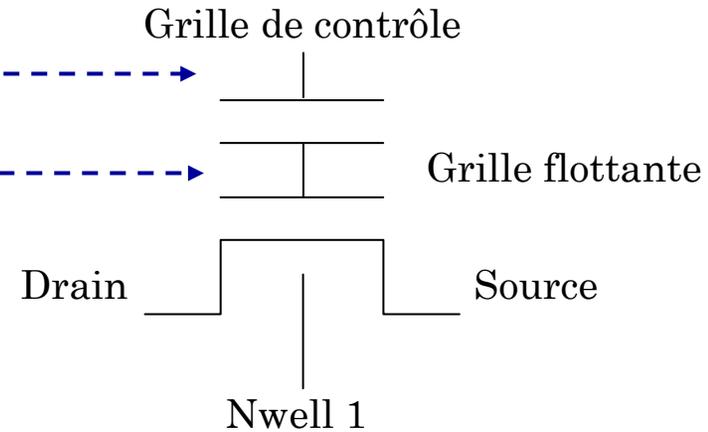
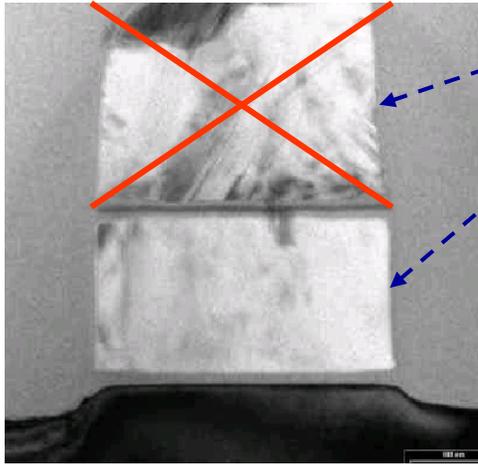


- ❑ EPROM simple poly en 1971 (transistor de type p)
- ❑ Diminution de l'épaisseur d'isolant au niveau de l'isolation : rétention



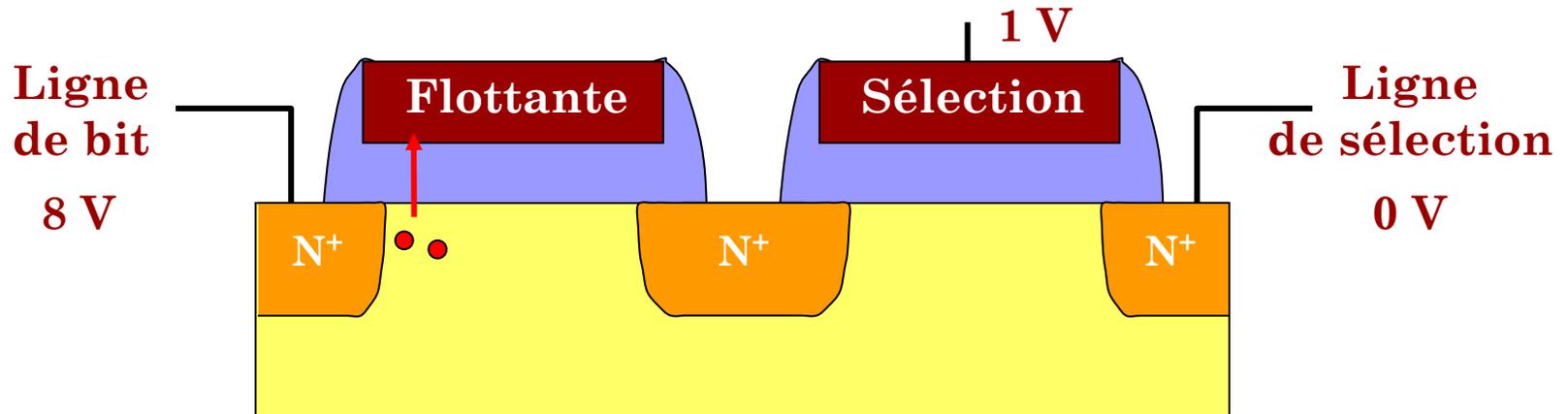
Utilisation d'un transistor "rond"

## ➤ La mémoire simple poly



- ❑ La gravure de l'empilement de grille est complexe
- ❑ Frein à l'intégration des mémoires dans des procédés standards

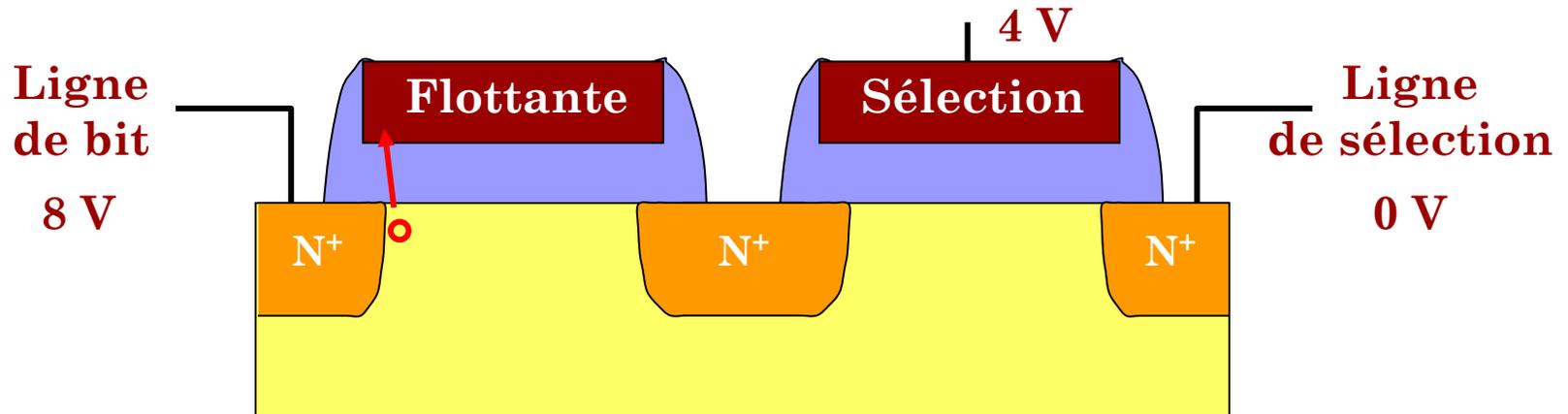
## ➤ La mémoire simple poly : l'EEPROM



K.H. Lee, VLST'03

- ❑ La gravure de l'empilement de grille est complexe
- ❑ Frein à l'intégration des mémoires dans des procédés standards
- ❑ Fort couplage entre ligne de bit et grille flottante
- ❑ Écriture : injection d'électrons chauds

## ➤ La mémoire simple poly : l'EEPROM

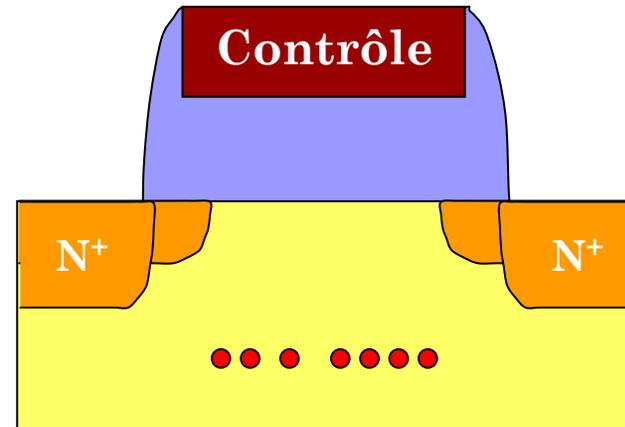


K.H. Lee, VLSI'03

- ❑ La gravure de l'empilement de grille est complexe
- ❑ Frein à l'intégration des mémoires dans des procédés standards
- ❑ Fort couplage entre ligne de bit et grille flottante
- ❑ Écriture : injection d'électrons chauds
- ❑ Effacement : injection de trous chauds

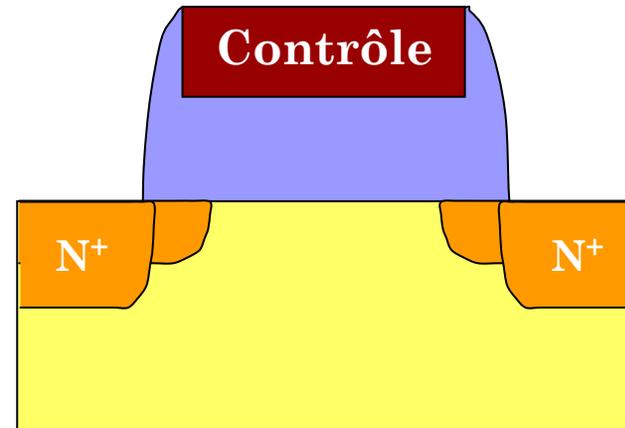
## ➤ Où stocker les charges ?

- Dans l'isolant de grille
- Sur les zones d'accès au canal
- Dans le substrat

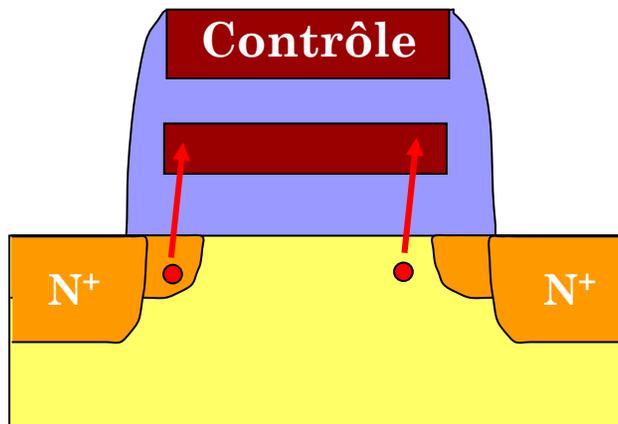


## ➤ Où stocker les charges ?

- Dans l'isolant de grille
- Sur les zones d'accès au canal
- Dans le substrat



## ➤ Comment stocker et déstocker les charges ?



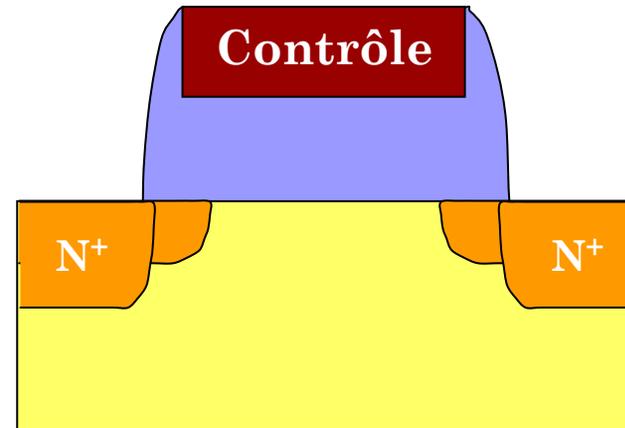
Écriture

- Électrons chauds
- Courant tunnel

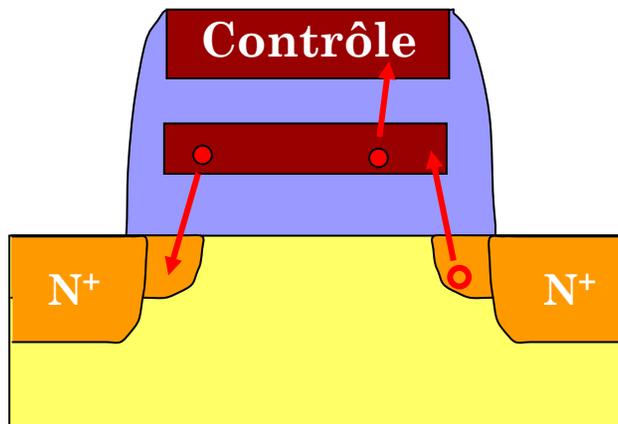
# Conclusion

## ➤ Où stocker les charges ?

- Dans l'isolant de grille
- Sur les zones d'accès au canal
- Dans le substrat



## ➤ Comment stocker et déstocker les charges ?



Écriture

- Électrons chauds
- Courant tunnel

Effacement

- Courant tunnel
- Trous chauds

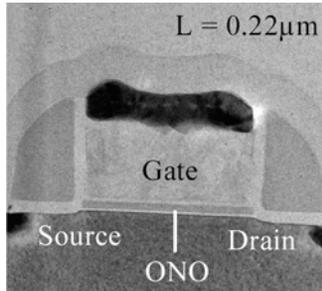
## ➤ Panorama des mémoires innovantes

- ❑ Grande diversité de dispositifs mémoires (publiés)
  - Mémoire à protons...
  - Mémoire à nanotubes de carbone, à polymères, à molécules...

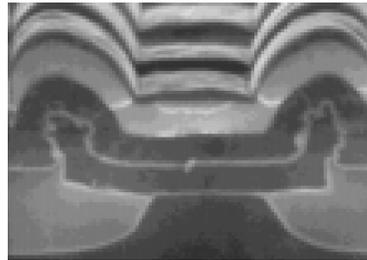
## ➤ Et les futures mémoires ?

- ❑ Connaissance de la bibliographie récente et passée
  - Architecture de transistor
  - Mécanisme d'injection de porteurs
- ❑ Connaissance des procédés technologiques, du fonctionnement du plan mémoire, de l'électronique associée au plan
- ❑ Penser aux dispositifs mémoires pour les nouvelles technologies
- ❑ Développement de mémoires pour des applications ciblées

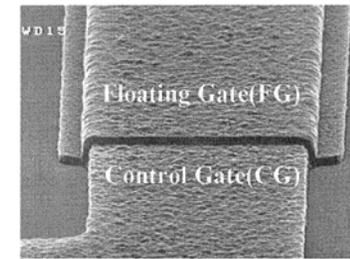
# Panorama des mémoires innovantes



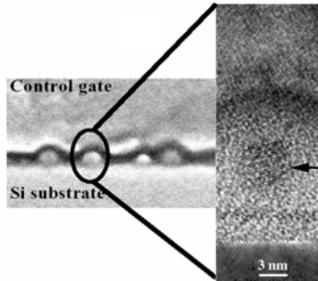
**Flash à pièges**



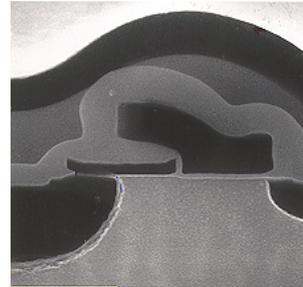
**EEPROM HSG**



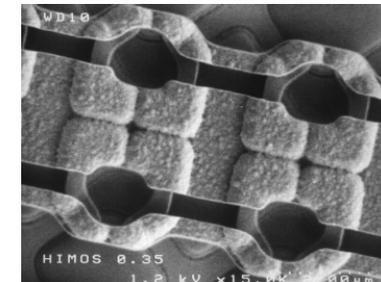
**TFG EEPROM**



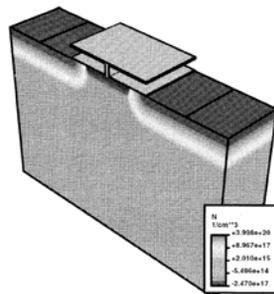
**Flash à nodules**



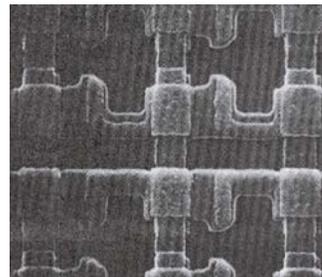
**La Super Flash**



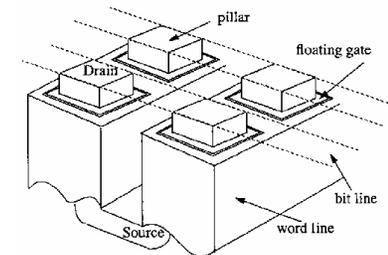
**HIMOS Flash**



**DFG Flash**



**DCG EEPROM**



**3D Flash**