

Intitule du cours : Architecture et Programmation DSP

Enseignant : Alain Pegatoquet, Texas instrument

Résumé du cours : L'objectif du cours consiste tout d'abord à donner une vue générale de la chaîne de transmission GSM afin d'introduire le rôle d'un DSP dans ce contexte et de montrer en particulier les contraintes temps réel imposées par ce type d'application. Le cours présente ensuite un cas pratique auquel un ingénieur pourrait être confronté dans le monde industriel. Il s'agit de montrer les différentes étapes du développement de logiciel embarqué pour DSP, de la conception algorithmique à l'implémentation assembleur. Les étudiants sont amenés à prendre conscience que les contraintes d'implémentation sont certes étroitement liées à l'application elle-même, mais aussi aux contraintes industrielles de coût ou de consommation. Ce cours présente ensuite les architectures DSP en virgule fixe ainsi que leur évolution. L'objectif est de montrer aux étudiants l'adéquation entre l'architecture et les algorithmes de traitement du signal. Il s'agit aussi de présenter les contraintes d'une architecture en point fixe, ce qui permet d'introduire la problématique de la conversion d'un code flottant en virgule fixe.

Plan du cours (6h)

1. Introduction

- Caractéristiques d'un DSP
- Marché des DSP
- Chaîne de transmission GSM
- Cas Pratique d'un développement sur DSP: la détection du FCH (de la modélisation Matlab au code assembleur)

2. Représentation des données

- Introduction DSP flottant/virgule fixe
- Précision, dynamique, quantification
- Représentation en C2
- Représentation entière, fractionnaire (Qk), block floating point

3. Arithmétique binaire en complément a 2

- Opération arithmétique/logique
- Addition
- Soustraction
- Problème et gestion de dépassement de capacité (Overflow).
- Multiplication binaire (simple/double précision)

4. Caractéristiques architecturales des DSPs (adéquation architecture/algorithme du traitement du signal)

- Architecture Harvard de base

- Représentation des nombres
- Les chemins de données
 - Architecture de base
 - Extension pour la FFT
 - Architecture orthogonale
 - Architecture à parallélisme étendue
- L'architecture mémoire
- Les modes d'adressage mémoire
- Les structures de contrôle
- La structure pipeline
- Le jeu d'instructions

Travaux Dirigés (12h-15h)

Les TD mis en place permettent aux étudiants de convertir des algorithmes écrits en C flottant vers une implémentation en C point fixe. Les problèmes de précision, d'erreurs d'arrondi et gestion des débordements de capacité sont également abordés. Les étudiants sont ensuite sensibilisés à la programmation mixte en langage C et assembleur. Il s'agit de mettre en évidence les contraintes de sauvegarde de contexte et de convention d'appel pour ce type de programmation. Pour cela les étudiants disposent d'un environnement de développement fourni par Texas Instruments et comportant une chaîne de compilation (compilateur, assembleur, éditeur de lien) et un environnement de débogage (Code Composer Studio) pour le DSP C55x.

-

Modalités de contrôle: Examen écrit (1h30 env.)